

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-237330

(43)Date of publication of application : 31.08.2001

(51)Int.Cl. H01L 21/8247
 H01L 27/115
 H01L 21/318
 H01L 29/788
 H01L 29/792

(21)Application number : 2000-180762

(71)Applicant : SONY CORP

(22)Date of filing : 12.06.2000

(72)Inventor : FUJIWARA ICHIRO
 KOBAYASHI TOSHIO

(30)Priority

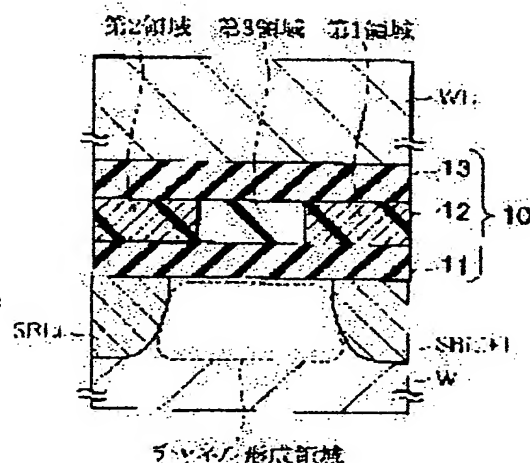
Priority number : 11359897 Priority date : 17.12.1999 Priority country : JP

(54) INVOLATILE SEMICONDUCTOR STORAGE AND METHOD OF OPERATING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To increase a hot electron (HE) implanting efficiency when a MONOS- type memory cell is written and improve scaling property.

SOLUTION: This storage has a channel forming region provided on a substrate surface, first and second impurity regions SBLi, SBLi+1 which sandwich the channel forming region and become a source and a drain during operation, a gate insulating film 10 composed of a plurality of films on the channel forming region, a gate electrode WL on the gate insulating film, and charge storage means (carrier trap) which is formed in a surface opposed to the channel forming region and in the gate insulating film 10 while made discrete in the film thickness direction and implanted with hot carriers excited by an applied electric field during operation. A bottom insulating film 11 in the lowest layer constituting the gate insulating film 10 contains a dielectric film, which makes an energy barrier between the bottom insulating film 11 and the substrate smaller than an energy barrier between silicon dioxide and silicon and exhibits an FN electric conduction characteristic.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-237330
(P2001-237330A)

(43) 公開日 平成13年8月31日 (2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト* (参考)
H 0 1 L 21/8247		H 0 1 L 21/318	M 5 F 0 0 1
27/115			C 5 F 0 5 8
21/318		27/10	4 3 4 5 F 0 8 3
		29/78	3 7 1
29/788			

審査請求 未請求 請求項の数49 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2000-180762 (P2000-180762)
(22) 出願日 平成12年6月12日 (2000.6.12)
(31) 優先権主張番号 特願平11-359897
(32) 優先日 平成11年12月17日 (1999.12.17)
(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 藤原 一郎
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(72) 発明者 小林 敏夫
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74) 代理人 100094053
弁理士 佐藤 隆久

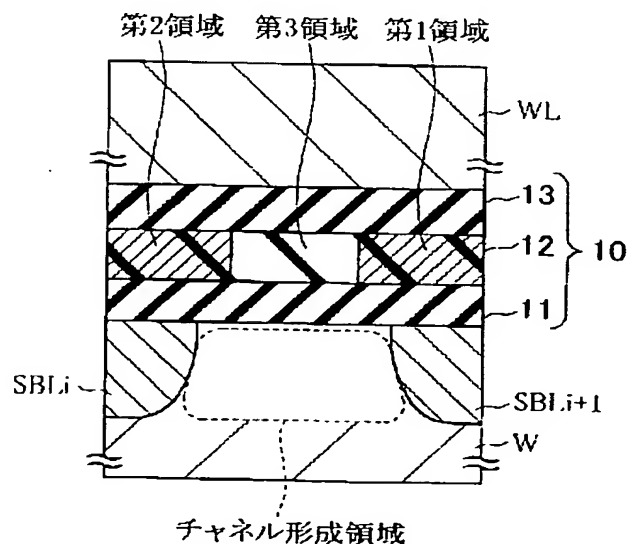
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその動作方法

(57) 【要約】

【課題】 MONOS 型メモリセルの書き込み時のホット
エレクトロン (HE) 注入効率を上げ、またスケーリン
グ性を向上させる。

【解決手段】 基板の表面に設けられたチャネル形成領
域、チャネル形成領域を挟んで動作時にソースまたはド
レインとなる第1および第2不純物領域 SBL_i 、 SBL_{i+1} 、チャネル形成領域上で複数の膜からなるゲ
ート絶縁膜10、ゲート絶縁膜上のゲート電極WL、チャ
ネル形成領域に対向した面内および膜厚方向に離散化さ
れてゲート絶縁膜10内に形成され、動作時に印加電界
により励起されたホットキャリアが注入される電荷蓄積
手段 (キャリアトラップ) とを有する。ゲート絶縁膜1
0を構成する最下層のボトム絶縁膜11は、当該ボトム
絶縁膜11と基板とのエネルギー障壁を二酸化珪素とシ
リコンとのエネルギー障壁より小さくし、FN電気伝導
特性を示す誘電膜を含む。



【特許請求の範囲】

【請求項 1】基板と、

当該基板の表面に設けられ半導体のチャネル形成領域と、
当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、
上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、
当該ゲート絶縁膜上に設けられたゲート電極と、
上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時に印加電界により励起されたホットエレクトロンが注入される電荷蓄積手段とを有し、
上記ゲート絶縁膜を構成する最下層のボトム絶縁膜は、当該ボトム絶縁膜と上記基板とのエネルギー障壁を二酸化珪素とシリコンとのエネルギー障壁より小さくする誘電膜を含む不揮発性半導体記憶装置。

【請求項 2】上記ボトム絶縁膜は、当該ボトム絶縁膜と基板とのエネルギー障壁が二酸化珪素を窒化処理して形成した酸化窒化膜とシリコンとのエネルギー障壁より小さい誘電膜を含む請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】上記酸化窒化膜の窒素含有率が 10% 以下である請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】書き込み状態または消去状態にあるとき、チャネルホットエレクトロン、バリスチックホットエレクトロン、2 次衝突電離ホットエレクトロン、基板ホットエレクトロン、バンド間トンネル電流に起因したホットエレクトロンの何れかが、上記電荷蓄積手段に主として注入されている請求項 1 記載の不揮発性半導体記憶装置。

【請求項 5】上記ボトム絶縁膜に含まれる誘電膜が、ファウラーノルドハイム (FN) トンネリング電気伝導特性を示す請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】上記ボトム絶縁膜は、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜、酸化ジルコニア膜、酸化アルミニウム膜、酸化チタン膜、酸化ハフニウム膜、酸化バリウムストロンチウムチタン ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$) 膜、酸化イットリウム膜の何れかを単独でまたは組み合わせて上記誘電膜として含む請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】上記ゲート絶縁膜を構成する膜として、ブルーフレネル (PF) 電気伝導特性を示す窒化膜または酸化窒化膜を上記ボトム絶縁膜上に有する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】上記ゲート絶縁膜は、上記第 1 不純物領域側からホットエレクトロンが注入される第 1 領域と、上記第 2 不純物領域側からホットエレクトロンが注入される第 2 領域と、

上記第 1、第 2 領域間に挟まれ、ホットエレクトロンが注入されない第 3 領域とを有した請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】上記ゲート絶縁膜は、上記第 1 不純物領域側の第 1 領域と、

上記第 2 不純物領域側の第 2 領域と、

上記第 1、第 2 領域間の第 3 領域とを有し、

上記電荷蓄積手段が上記第 1、第 2 領域に形成され、電荷蓄積手段の分布領域が上記第 3 領域を介して空間的に分離されている請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】上記第 1、第 2 領域が複数の膜を積層した積層膜構造を有し、

上記第 3 領域が単一材料の絶縁膜からなる請求項 9 記載の不揮発性半導体記憶装置。

【請求項 11】上記第 1 および第 2 領域上に形成されたゲート電極と、

上記第 3 領域上に形成されたゲート電極が空間的に分離されている請求項 9 記載の不揮発性半導体記憶装置。

【請求項 12】上記チャネル形成領域、上記第 1 および第 2 不純物領域、上記電荷蓄積手段を含むゲート絶縁膜および上記ゲート電極を有するメモリトランジスタが、ワード方向とビット方向とに複数配置され、

複数のワード線と、

当該複数のワード線と電気的に絶縁された状態でそれぞれ交差する複数の共通線とを更に有し、

上記複数のワード線それぞれに、上記ゲート電極が複数接続され、

上記複数の共通線それぞれに、上記第 1 および/または第 2 不純物領域が複数結合されている請求項 1 記載の不揮発性半導体記憶装置。

【請求項 13】上記ゲート電極をワード方向で共通に接続するワード線と、

上記第 1 不純物領域をビット方向で共通に接続する第 1 共通線と、

上記第 2 不純物領域を共通に接続する第 2 共通線とを有する請求項 12 に記載の不揮発性半導体記憶装置。

【請求項 14】上記第 1 共通線が、上記第 1 不純物領域をビット方向で共通に接続する第 1 副線と、当該第 1 副線をビット方向で共通に接続する第 1 主線とから構成され、

上記第 2 共通線が、上記第 2 不純物領域を共通に接続する第 2 副線と、当該第 2 副線を共通に接続する第 2 主線とから構成され、

上記第 1 副線と上記第 2 副線との間に、上記複数のメモリトランジスタが並列接続されている請求項 13 記載の不揮発性半導体記憶装置。

【請求項 15】上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない請求項 1

記載の不揮発性半導体記憶装置。

【請求項 16】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、当該ボトム絶縁膜上の窒化膜または酸化窒化膜と、当該窒化膜または酸化窒化膜上のトップ絶縁膜とからなる請求項 15 記載の不揮発性半導体記憶装置。

【請求項 17】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、当該ボトム絶縁膜上のトップ絶縁膜とからなる請求項 15 記載の不揮発性半導体記憶装置。

【請求項 18】ボトム絶縁膜の SiH bond 密度が、上記トップ絶縁膜を構成し PF 伝導特性を示す窒化膜の SiH bond 密度より低い請求項 17 記載の不揮発性半導体記憶装置。

【請求項 19】ボトム絶縁膜の SiH bond 密度が $1 \times 10^{20} \text{atms/mm}^3$ より低い請求項 18 記載の不揮発性半導体記憶装置。

【請求項 20】ボトム絶縁膜の SiH bond 密度が、上記トップ絶縁膜を構成し PF 伝導特性を示す窒化膜の SiH bond 密度より 1 桁以上低い請求項 19 記載の不揮発性半導体記憶装置。

【請求項 21】上記ボトム絶縁膜が、上記チャネル形成領域上のバッファ酸化膜と、当該バッファ酸化膜上に形成され、二酸化珪素より誘電率が大きな材料からなる誘電膜とからなる請求項 17 記載の不揮発性半導体記憶装置。

【請求項 22】上記ボトム絶縁膜が、上記チャネル形成領域上に形成され、二酸化珪素より誘電率が大きな材料の誘電膜と、上記誘電膜上に形成された二酸化珪素膜を含む請求項 17 記載の不揮発性半導体記憶装置。

【請求項 23】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、上記電荷蓄積手段としてボトム絶縁膜上に形成され互いに絶縁された小粒径導電体とを含む請求項 15 記載の不揮発性半導体記憶装置。

【請求項 24】上記小粒径導電体の粒径が 10 ナノメートル以下である請求項 23 記載の不揮発性半導体記憶装置。

【請求項 25】基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時に

チャネルホットエレクトロン、バリスチックホットエレクトロン、2 次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが主に注入される電荷蓄積手段とを有し、

上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、二酸化珪素より誘電率が大きな材料からなる不揮発性半導体記憶装置。

【請求項 26】ボトム絶縁膜の SiH bond 密度が、上記トップ絶縁膜を構成し PF 伝導特性を示す窒化膜の SiH bond 密度より低い請求項 25 記載の不揮発性半導体記憶装置。

【請求項 27】ボトム絶縁膜の SiH bond 密度が $1 \times 10^{20} \text{atms/mm}^3$ より低い請求項 26 記載の不揮発性半導体記憶装置。

【請求項 28】ボトム絶縁膜の SiH bond 密度が、上記トップ絶縁膜を構成し PF 伝導特性を示す窒化膜の SiH bond 密度より 1 桁以上低い請求項 27 記載の不揮発性半導体記憶装置。

【請求項 29】基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2 次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが主に注入される電荷蓄積手段とを有し、上記ゲート絶縁膜は、上記第 1 不純物領域側の第 1 領域と、上記第 2 不純物領域側の第 2 領域と、上記第 1、第 2 領域間の第 3 領域とを有し、上記電荷蓄積手段が上記第 1、第 2 領域に形成され、電荷蓄積手段の分布領域が上記第 3 領域を介して空間的に分離されている不揮発性半導体記憶装置。

【請求項 30】上記第 1、第 2 領域が複数の膜を積層した積層膜構造を有し、上記第 3 領域が単一材料の絶縁膜からなる請求項 29 記載の不揮発性半導体記憶装置。

【請求項 31】基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動

作時にソースまたはドレインとなる第 1 および第 2 不純物領域と、

上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、

当該ゲート絶縁膜上に設けられたゲート電極と、

上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にホットエレクトロンが主に注入される電荷蓄積手段とを有し、

上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、当該ボトム絶縁膜と上記基板とのエネルギー障壁を二酸化珪素とシリコンとのエネルギー障壁より小さくする誘電膜を含む不揮発性半導体記憶装置の動作方法であって、

書き込み時に上記第 1 および第 2 不純物領域間に印加する電圧を、書き込み速度を一定とし、かつ、上記ボトム絶縁膜を二酸化珪素とした場合より低くする不揮発性半導体記憶装置の動作方法。

【請求項 3 2】上記第 1 および第 2 不純物領域間の印加電圧を、3.3V 以下とする請求項 3 1 記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 3】上記印加電圧を二酸化珪素と基板との伝導側でのエネルギー障壁より小さくする請求項 3 1 記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 4】上記第 1、第 2 不純物領域のバイアス印加条件を逆にして再度、書き込みを行い、上記第 1 不純物領域側と第 2 不純物領域側のうち上記書き込み時とは反対の側からホットエレクトロンを上記電荷蓄積手段に注入する請求項 3 1 記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 5】上記第 1 不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した分布面内で、第 1 不純物領域側に局在して保持される請求項 3 1 記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 6】上記第 1、第 2 不純物領域のバイアス印加方向を逆にして書き込みを行ったときに、上記第 2 不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した分布面内で、第 2 不純物領域側に局在して保持される請求項 3 4 記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 7】上記第 1 不純物領域側から注入されるホットエレクトロンの保持領域と、上記第 2 不純物領域側から注入されるホットエレクトロンの保持領域とが、上記ゲート絶縁膜内でホットエレクトロンが注入されない中間の領域を挟んでチャネル方向の両側に分離されている請求項 3 6 記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 8】読み出し時に、読み出し対象の蓄積電荷側の不純物領域がソースとなるように上記第 1 および第

2 不純物領域間に所定の読み出しドレイン電圧を印加し、上記ゲート電極に所定の読み出しゲート電圧を印加する請求項 3 1 記載の不揮発性半導体記憶装置の動作方法。

【請求項 3 9】読み出し時に、上記第 1 および第 2 不純物領域から注入されたホットエレクトロンに基づく 2 ビット以上の多値データを、当該第 1、第 2 不純物領域への電圧印加方向を変えて読み出す請求項 3 4 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 0】消去時に、上記第 1 不純物領域側から注入され上記電荷蓄積手段に保持されている電荷を、直接トンネリングまたは FN トンネリングにより第 1 不純物領域側に引く抜く請求項 3 1 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 1】消去時に、上記第 1 または第 2 不純物領域側から注入され上記電荷蓄積手段にチャネル方向の両側に分離されて保持されている電荷を、直接トンネリングまたは FN トンネリングにより個別にあるいは一括して基板側に引く抜く請求項 3 4 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 2】消去時に、上記第 1 および第 2 不純物領域側から上記電荷蓄積手段にホットホールを注入する請求項 3 4 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 3】上記電荷蓄積手段は、すくなくとも外部との間で電荷の移動がない場合に、上記チャネル形成領域に対向する面全体としての導電性を持たない請求項 3 1 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 4】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上の窒化膜または酸化窒化膜と、

当該窒化膜または酸化窒化膜上のトップ絶縁膜とからなる請求項 4 3 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 5】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

当該ボトム絶縁膜上のトップ絶縁膜とからなる請求項 4 3 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 6】上記ボトム絶縁膜が、上記チャネル形成領域上のバッファ酸化膜と、

当該バッファ酸化膜上に形成され、二酸化珪素より誘電率が大きな材料からなる膜とからなる請求項 4 5 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 7】上記ボトム絶縁膜が、上記チャネル形成領域上に形成され、二酸化珪素より誘電率が大きな材料の誘電膜と、

上記誘電膜上に形成された二酸化珪素膜とを含む請求項 4 6 記載の不揮発性半導体記憶装置の動作方法。

【請求項 4 8】上記ゲート絶縁膜は、上記チャネル形成領域上のボトム絶縁膜と、

上記電荷蓄積手段としてボトム絶縁膜上に形成され互い

に絶縁された小粒径導電体とを含む請求項 43 記載の不揮発性半導体記憶装置の動作方法。

【請求項 49】上記小粒径導電体の粒径が 10 ナノメートル以下である請求項 48 記載の不揮発性半導体記憶装置の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャネル形成領域とゲート電極との間のゲート絶縁膜の内部に、平面的に離散化された電荷蓄積手段（例えば、MONOS 型や MNOS 型における窒化膜内の電荷トラップ、トップ絶縁膜と窒化膜との界面近傍の電荷トラップ、或いは小粒径導電体等）を有し、当該電荷蓄積手段に対し、チャネルホットエレクトロン、バリスチックホットエレクトロン、2 次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンを主に注入して蓄積し又は引き抜くことを基本動作とする不揮発性半導体記憶装置と、その動作方法とに関する。

【0002】

【従来の技術】不揮発性半導体メモリは、大容量で小型の情報記録媒体として期待されているが、近年、情報ネットワークの広帯域化とともにネットワークの伝送速度（たとえば搬送波周波数：100MHz）と同等の書き込み速度が要求されるようになってきている。このため、不揮発性半導体メモリに対し、スケーリング性が良好で従来の $100 \mu\text{sec}$ /セルの書き込み速度より 1 桁またはそれ以上の書き込み速度の向上が要求されている。

【0003】不揮発性半導体メモリは、電荷を保持する電荷蓄積手段（浮遊ゲート）が平面的に連続した FG (Floating Gate) 型のほかに、電荷蓄積手段が平面的に離散化された、例えば MONOS (Metal-Oxide-Nitride-Oxide Semiconductor) 型などがある。

【0004】MONOS 型不揮発性半導体メモリでは、電荷保持を主体的に担っている窒化膜 Si_xN_y ($0 < x < 1$, $0 < y < 1$) 膜中またはトップ酸化膜と窒化膜との界面のキャリアトラップが空間的に（即ち、面方向および膜厚方向に）離散化して拡がっているために、電荷保持特性が、トンネル絶縁膜厚のほかに、 Si_xN_y 膜中のキャリアトラップに捕獲される電荷のエネルギー的および空間的な分布に依存する。

【0005】このトンネル絶縁膜に局所的にリーク電流パスが発生した場合、FG 型では多くの電荷がリークパスを通してリークして電荷保持特性が低下しやすいのに対し、MONOS 型では、電荷蓄積手段が空間的に離散化されているため、リークパス周辺の局所的な電荷がリークパスを通して局所的にリークするに過ぎず、記憶素子全体の電荷保持特性が低下しにくい。このため、MONOS 型においては、トンネル絶縁膜の薄膜化による電

荷保持特性の低下の問題は FG 型ほど深刻ではない。したがって、ゲート長が極めて短い微細メモリトランジスタにおけるトンネル絶縁膜のスケーリング性は、MONOS 型の方が FG 型よりも優れている。また、平面的に離散化したキャリアトラップの分布平面に対し電荷が局所的に注入された場合、その電荷は FG 型のように平面内および膜厚方向に拡散することなく保持される。

【0006】MONOS 型不揮発性メモリで微細メモリセルを実現するにはディスターブ特性の改善が重要であり、そのためにはトンネル絶縁膜を通常の膜厚（1.6nm～2.0nm）より厚く設定する必要が生じている。トンネル絶縁膜を比較的厚膜化した場合、書き込み速度は $0.1 \sim 10 \text{ msec}$ 程度で未だ十分でない。つまり、従来の MONOS 型等の不揮発性メモリでは、信頼性（たとえば、データ保持特性、リードディスターブ特性あるいはデータ書換え特性など）を十分に満足させた場合、書き込み速度は $100 \mu\text{sec}$ が限界である。

【0007】書き込み速度だけを考えると高速化も可能であるが、今度は信頼性および低電圧化が十分にできない。たとえば、チャネルホットエレクトロン (CHE) をソース側から注入するソースサイド注入型 MONOS トランジスタが報告されたが (IEEE Electron Device Letter 19, 1998, pp153)、このソースサイド注入型 MONOS トランジスタでは、動作電圧が書き込み時 12V、消去時 14V と高いうえ、リードディスターブ特性およびデータ書換え特性などの信頼性が十分でない。

【0008】その一方、最近になって、従来の CHE 注入方式によって電荷を離散的なトラップの一部に注入できることに着目して、電荷蓄積手段のソース側とドレイン側に独立に 2 値情報を書き込むことにより 1 メモリセルあたり 2 ビットを記録可能な技術が報告された。たとえば “Extended Abstract of the 1999 International Conference on Solid State Devices and Materials, Tokyo, 1999, pp.522-523” では、ソースとドレイン間の電圧印加方向を入れ換えて 2 ビット情報を CHE 注入により書き込み、読み出し時には、書き込み時と逆方向に所定電圧をソースとドレイン間に印加する、いわゆる “リバースリード” 方法によって書き込み時間が短く蓄積電荷量が少ない場合でも 2 ビット情報を確実に読み出すことを可能としている。また、消去はホットホール注入によって行っている。この技術によって、書き込み時間の高速化とビットコストの大幅な低減が可能となった。

【0009】

【発明が解決しようとする課題】ところが、この従来の CHE 注入タイプの MONOS 型の不揮発性メモリでは、チャネル内を電子を加速して高エネルギー電子（ホットエレクトロン）を発生させることから、ソースとドレイン間に 4.5V 程度の電圧印加が必要であり、上記ソース・ドレイン間の印加電圧を低減することが困難で

あった。このため、書き込み時におけるパンチスルー効果が制限となってゲート長のスケールリングが難しいという課題がある。

【0010】本発明の目的は、平面的に離散化されたキャリアトラップ等の電荷蓄積手段に対しホットエレクトロンを注入して高速書き込み方式でゲート長をスケールリングを行う際に発生するパンチスルーを抑制し、ゲート長およびゲート絶縁膜厚のスケールリング性が良好な不揮発性半導体記憶装置と、その動作方法を提供することである。

【0011】

【課題を解決するための手段】本発明の第1の観点に係る不揮発性半導体記憶装置は、基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時に印加電界により励起されたホットエレクトロンが注入される電荷蓄積手段とを有し、上記ゲート絶縁膜を構成する最下層のボトム絶縁膜は、当該ボトム絶縁膜と上記基板とのエネルギー障壁を二酸化珪素とシリコンとのエネルギー障壁より小さくする誘電膜を含む。好適に、上記ボトム絶縁膜は、当該ボトム絶縁膜と基板とのエネルギー障壁が二酸化珪素を窒化処理して形成した酸化窒化膜とシリコンとのエネルギー障壁より小さい誘電膜を含む。ここで、好ましくは、上記酸化窒化膜の窒素含有率を10%以下とする。また、好適に、書き込み状態または消去状態にあるとき、チャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロン、バンド間トンネル電流に起因したホットエレクトロンの何れかが、上記電荷蓄積手段に主として注入されている。

【0012】好適に、上記ボトム絶縁膜は、ファウラーノルドハイム(FN)トンネリング電気伝導特性を示す。また、好適な膜材料として、窒化シリコン、酸化窒化シリコン、酸化タンタル、酸化ジルコニア、酸化アルミニウム、酸化チタン、酸化ハフニウム、酸化バリウムストロンチウムチタン(BST: $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)、酸化イットリウムの何れかを単独でまたは組み合わせて上記誘電膜として含む。なお、酸化窒化シリコンを用いる場合には、その窒素含有量は10%より大きい。好適に、上記ゲート絶縁膜を構成する膜として、プーラフレンケル(PF)電気伝導特性を示す窒化膜または酸化窒化膜を上記ボトム絶縁膜上に有する。なお、FNトンネリング電気伝導特性を示す絶縁膜は、PFトンネリング電気伝導特性を示す絶縁膜と比較すると、その絶縁材料中のキャリアトラップ量が大幅に低減されてい

るということが一つの特徴である。

【0013】上記ゲート絶縁膜は、好適に、上記第1不純物領域側からホットエレクトロンが注入される第1領域と、上記第2不純物領域側からホットエレクトロンが注入される第2領域と、上記第1、第2領域間に挟まれ、ホットエレクトロンが注入されない第3領域とを有している。あるいは、上記ゲート絶縁膜は、上記第1不純物領域側の第1領域と、上記第2不純物領域側の第2領域と、上記第1、第2領域間の第3領域とを有し、上記電荷蓄積手段が上記第1、第2領域に形成され、電荷蓄積手段の分布領域が上記第3領域を介して空間的に分離されている。後者の場合、たとえば、上記第1、第2領域が複数の膜を積層した積層膜構造を有し、上記第3領域が単一材料の絶縁膜からなる。また、上記第1および第2領域上に形成されたゲート電極と、上記第3領域上に形成されたゲート電極が空間的に分離されている。

【0014】この不揮発性半導体記憶装置では、分離ソース線型、仮想接地線型など、第1不純物領域(たとえば、ドレイン不純物領域)に接続された共通線と、第2不純物領域(たとえば、ソース不純物領域)に接続された共通線とが独立に制御可能なNOR型メモリセル方式が好適である。分離ソース線型では、第1不純物領域が接続された共通線を第1共通線、第2不純物領域が接続された共通線を第2共通線という。その場合、第1および第2共通線がそれぞれ階層化されていてもよい。いわゆるAND型では、メモリブロック内の内部接続線としての第1および第2副線に対しメモリトランジスタが並列接続されている。

【0015】また、メモリトランジスタは、いわゆるMONOS型、ナノ結晶型など、電荷蓄積手段が平面方向および膜厚方向に離散化されている各種メモリトランジスタが採用できる。また、本発明では、たとえばボトム絶縁膜を厚くして、MONOS型における中間の窒化膜または酸化窒化膜を省略してもよい。その場合、半導体表面での界面準位を減らすために、バッファ酸化膜をチャネル形成領域との間に薄く介在させることが望ましい。

【0016】本発明の第2の観点に係る不揮発性半導体記憶装置は、基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが主に注入される電荷蓄積手段とを有し、

上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、二酸化珪素より誘電率が大きな材料からなる。好適に、ボトム絶縁膜のSiHボンド密度が、上記トップ絶縁膜を構成しPF伝導特性を示す窒化膜のSiHボンド密度より（たとえば、1桁以上）低い。たとえば、ボトム絶縁膜のSiHボンド密度が $1 \times 10^{20} \text{atms/mm}^3$ より低い。

【0017】本発明の第3の観点に係る不揮発性半導体記憶装置は、基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にチャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンが主に注入される電荷蓄積手段とを有し、上記ゲート絶縁膜は、上記第1不純物領域側の第1領域と、上記第2不純物領域側の第2領域と、上記第1、第2領域間の第3領域とを有し、上記電荷蓄積手段が上記第1、第2領域に形成され、電荷蓄積手段の分布領域が上記第3領域を介して空間的に分離されている。好適に、上記第1、第2領域が複数の膜を積層した積層膜構造を有し、上記第3領域が単一材料の絶縁膜からなる。

【0018】本発明の第4の観点に係る不揮発性半導体記憶装置の動作方法は、基板と、当該基板の表面に設けられ半導体のチャネル形成領域と、当該チャネル形成領域を挟んで基板表面に形成され、動作時にソースまたはドレインとなる第1および第2不純物領域と、上記チャネル形成領域上に積層された複数の膜からなるゲート絶縁膜と、当該ゲート絶縁膜上に設けられたゲート電極と、上記チャネル形成領域に対向した面内および膜厚方向に離散化されて上記ゲート絶縁膜内に形成され、動作時にホットエレクトロンが主に注入される電荷蓄積手段とを有し、上記ゲート絶縁膜を構成する最下層のボトム絶縁膜が、当該ボトム絶縁膜と上記基板とのエネルギー障壁を二酸化珪素とシリコンとのエネルギー障壁より小さくする誘電膜を含む不揮発性半導体記憶装置の動作方法であって、書き込み時に上記第1および第2不純物領域間に印加する電圧を、書き込み速度を一定とし、かつ、上記ボトム絶縁膜を二酸化珪素とした場合より低くする。好適に、上記第1および第2不純物領域間の印加電圧を、3.3V以下とする。また、好適に、上記印加電圧を二酸化珪素と基板との伝導側でのエネルギー障壁より小さくする。

【0019】複数ビットの書き込みの際には、好適に、上記第1、第2不純物領域のバイアス印加条件を逆にし

て再度、書き込みを行い、上記第1不純物領域側と第2不純物領域側のうち上記書き込み時とは反対の側からホットエレクトロンを上記電荷蓄積手段に注入する。

【0020】上記第1不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した面内で、第1不純物領域側に局在して保持される。複数ビット書き込みのために上記第1、第2不純物領域のバイアス印加方向を逆にして書き込みを行ったときに、上記第2不純物領域側から注入されたホットエレクトロンは、上記電荷蓄積手段の上記チャネル形成領域に対向した面内で、第2不純物領域側に局在して保持される。この場合、上記第1不純物領域から注入されるホットエレクトロンの保持領域と、上記第2不純物領域から注入されるホットエレクトロンの保持領域とが、上記電荷蓄積手段内でホットエレクトロンが注入されない中間の領域を挟んでチャネル方向の両側に分離されている。

【0021】読み出し時に、読み出し対象の蓄積電荷側の不純物領域がソースとなるように上記第1および第2不純物領域間に所定の読み出しドレイン電圧を印加し、上記ゲート電極に所定の読み出しゲート電圧を印加する。また、複数ビットの読み出し時に、上記第1および第2不純物領域から注入されたホットエレクトロンに基づく2ビット以上の多値データを、当該第1、第2不純物領域への電圧印加方向を変えて読み出す。

【0022】好適には、消去時に、上記第1不純物領域側から注入され上記電荷蓄積手段に保持されている電荷を、直接トンネリングまたはFNトンネリングにより第1不純物領域側に引く抜く。あるいは、バンド間トンネル電流に起因したホットホール注入により消去する。複数ビットの消去に際しては、好適に、上記第1または第2不純物領域側から注入され上記電荷蓄積手段にチャネル方向の両側に分離されて保持されている電荷を、直接トンネリングまたはFNトンネリングにより個別にあるいは一括して基板側に引く抜く。

【0023】この不揮発性半導体記憶装置およびその動作方法では、書き込み時に、チャネルホットエレクトロン、バリスチックホットエレクトロン、2次衝突電離ホットエレクトロン、基板ホットエレクトロンまたはバンド間トンネル電流に起因したホットエレクトロンを、ソースまたはドレインとなる第1または第2不純物領域から、あるいはチャネル全面から電荷蓄積手段に注入する。そのとき、ホットエレクトロンはトンネル絶縁膜の最下層の膜であるボトム絶縁膜とシリコンウエハ等の基板とのエネルギー障壁を乗り越えて注入される。本発明では、このボトム絶縁膜と基板とのエネルギー障壁が、二酸化珪素とシリコンの場合より低くなっている。また、ボトム絶縁膜の材料として、とくにボトム絶縁膜のエネルギー障壁を低くする誘電膜の材料、例えば低トラップ窒化膜のようなFNトンネリング電気伝導特性を示

す材料を用いる。このため、ホットエレクトロンが乗り越えるべきボトム絶縁膜と基板間のエネルギー障壁が、従来の絶縁材料である二酸化珪素とシリコン間のエネルギー障壁 3.2 V から、たとえば、2.1 V にまで低減されている。このボトム絶縁膜のエネルギー障壁が低いことによって、電荷注入効率が向上し、その分、書き込み時のドレイン印加電圧を、たとえば 3.3 V 以下に低減することができる。なお、ボトム絶縁膜の下にバッファ酸化膜を介在させることもあるが、その膜厚は薄いため、エネルギー障壁的には殆ど無視できる。また、書き込み時のドレイン電圧が低減されると、電荷蓄積手段に注入されるホットエレクトロンの平均エネルギーを減少させることができ、その結果として、ボトム絶縁膜へのダメージが低減する。

【0024】読み出し時には、読み出し対象の蓄積電荷が保持されている側の不純物領域がソースとなるように読み出しドレイン電圧を印加する。このとき、第1、第2不純物領域のうち高電圧側の蓄積電荷の有無はチャネル電界に殆ど影響せず、低電圧側の蓄積電荷の有無の影響をうけてチャネル電界が変化する。このため、当該メモリトランジスタのしきい値電圧は、低電圧側の蓄積電荷の有無を反映したものとなる。

【0025】消去時には、たとえば第1または第2不純物領域に正電圧を印加し、ソース側またはドレイン側の蓄積電荷を直接トンネリングまたはFNトンネリングにより基板側に引く抜く。また、消去時に、たとえば第1または第2不純物領域に正電圧を印加し、ワード線（ゲート電極）に、当該正電圧を印加した不純物領域の表面が反転可能な負電圧を印加してもよい。この場合、反転層表面内深くまで空乏化し、バンド間トンネル電流が発生し、発生したホールが電界加速によりホットホールとなって電荷蓄積手段に注入される。何れのトンネリングにおいても、ブロッカー一括消去が可能である。

【0026】

【発明の実施の形態】第1実施形態

第1実施形態は、仮想接地NOR型の不揮発性メモリ装置に関する。図1は、仮想接地NOR型メモリセルアレイ構成を示す回路図である。このメモリセルアレイでは、単一のメモリトランジスタによりメモリセルが構成されている。たとえば、 $m \times n$ 個のメモリトランジスタ $M11, M21, \dots, Mm1, M12, M22, \dots, M1n, \dots, Mmn$ がマトリックス状に並べられている。なお、図1では、 2×2 個のメモリトランジスタ $M11, M21, M12, M22$ のみ示す。

【0027】各メモリトランジスタのゲートは、行ごとに同一ワード線に接続されている。すなわち、図1において、同一行に属するメモリトランジスタ $M11, M21, \dots$ のゲートが、ワード線 $WL1$ に接続されている。また、他の行に属するメモリトランジスタ $M12, M22, \dots$ のゲートが、ワード線 $WL2$ に接続されている。

【0028】各メモリトランジスタのソースが、ワード方向の一方側に隣り合う他のメモリトランジスタのドレインに接続され、各メモリトランジスタのドレインがワード方向の他方側に隣り合う他のメモリトランジスタのソースに接続されている。この共通接続されたソースとドレインは、ビット方向の共通線 $BL1, BL2, BL3, \dots$ に接続されている。これらの共通線は、たとえば、ソースとドレインが共通接続された一方のメモリトランジスタを動作させるときは基準電圧が印加されるソース線として機能させ、他方のメモリトランジスタを動作させるときはドレイン電圧が印加されるビット線として機能させる使われ方がされる。したがって、このメモリセルアレイでは、ビット方向の共通線 $BL1, BL2, \dots$ は全て“ビット線”と称する。

【0029】図2は、このメモリセルアレイの 4×4 個のメモリセル分を示す平面図である。各ビット線 $BL1 \sim BL3$ は、半導体の不純物領域からなる拡散層配線（副ビット線 $SBL1, SBL2, \dots$ ）と、図示しないビットコンタクトを介して各副ビット線 $SBL1, SBL2, \dots$ に接続されたメタル配線（主ビット線 $MBL1, MBL2, \dots$ ）とからなる。主ビット線 $MBL1, MBL2, \dots$ は、対応する副ビット線 $SBL1, SBL2, \dots$ の上層に平行に配線され、全体として並行ストライプ状となっている。これらのビット線 $BL1 \sim BL3$ にそれぞれ直行して各ワード線 $WL1, WL2, \dots$ が並行ストライプ状に配置されている。このメモリセルアレイのパターンでは、素子分離絶縁層が全くなく、その分、セル面積が小さい。なお、副ビット線の1本おき、たとえば副ビット線 $SBL1$ と $SBL3$ を、図示しないビットコンタクトを介して上層のメタル配線に接続させる構成でもよい。

【0030】図3は、各メモリセルを構成する n チャネル MONOS 型メモリトランジスタの断面図である。図3において、 p 型シリコンウエハなどの半導体基板（または p ウェル）SUB内の表面側に、 n 型不純物が導入され拡散されて副ビット線 SBL と副ソース線 SSL とが所定間隔をおいて形成されている。副ビット線 SBL と副ソース線 SSL との間に挟まれ、ワード線 WL が交差する部分が、当該メモリトランジスタのチャネル形成領域となる。

【0031】チャネル形成領域上には、ゲート絶縁膜10を介してメモリトランジスタのゲート電極（ワード線 WL ）が積層されている。ワード線 WL は、一般に、 p 型または n 型の不純物が高濃度に導入されて導電化されたポリシリコン (doped poly-Si)、又は $doped\ poly-Si$ と高融点金属シリサイドとの積層膜からなる。このワード線 WL の実効部分、すなわちソース・ドレイン間距離に相当するチャネル方向の長さ（ゲート長）は、0.25 μm 以下、たとえば 0.18 μm 程度である。

【0032】ゲート絶縁膜10は、下層から順に、ボト

ム絶縁膜11、窒化膜12、トップ絶縁膜13から構成されている。ボトム絶縁膜11は、FNTトンネリング電気伝導特性をもつ窒化膜または窒化オキシシリコン膜

(FNTトンネル窒化膜)を用いる。このFNTトンネル窒化膜は、例えばJVD(Jet Vapor Deposition)法、または、CVD膜を還元性または酸化性ガスの雰囲気中で加熱して変質させる方法(以下、加熱FNTトンネル化法という)により作製された窒化シリコン膜、または、窒化シリコンを主体とした膜(例えば、窒化オキシシリコン膜)である。通常のCVDにより作製された窒化シリコン膜がプールフレンケル(PF)型の電気伝導特性を示すのに対し、このFNTトンネル窒化膜は、膜中のキャリアトラップが通常のCVDにより作製された場合より低減されているため、ファウラーノルドハイム(FN)型の電気伝導特性を示す。ボトム絶縁膜(FNTトンネル窒化膜)11の膜厚は、使用用途に応じて2.0nmから6.0nmの範囲内で決めることができ、ここでは4.0nmに設定されている。

【0033】窒化膜12は、たとえば5.0~8.0nmの窒化シリコン(Si_xN_y ($0 < x < 1$, $0 < y < 1$))膜から構成されている。なお、上記PF電気伝導を示す窒化シリコン膜に少量の酸素がドーピングされていてもよい。この窒化膜12は、たとえば減圧CVD(LP-CVD)により作製され、膜中にキャリアトラップが多く含まれている。窒化膜12は、プールフレンケル(PF)型の電気伝導特性を示す。

【0034】トップ絶縁膜13は、窒化膜12との界面近傍に深いキャリアトラップを高密度に形成する必要があるため、例えば成膜後の窒化膜を熱酸化して形成される。トップ絶縁膜13をHTO(High Temperature chemical vapor deposited Oxide)法により形成した SiO_2 膜としてもよい。トップ絶縁膜13がCVDで形成された場合は熱処理によりこのトラップが形成される。トップ絶縁膜13の膜厚は、ゲート電極(ワード線WL)からのホールの注入を有効に阻止してデータ書換可能な回数の低下防止を図るために、最低でも3.0nm、好ましくは3.5nm以上が必要である。

【0035】このような構成のメモリトランジスタの製造においては、まず、用意した半導体基板SUBに対しpウェルWを形成した後に、副ビット線SBLおよび副ソース線SSLとなる不純物領域をイオン注入法により形成する。また、しきい電圧調整用のイオン注入等が必要に応じて行う。

【0036】つぎに、半導体基板SUB上にゲート絶縁膜10を成膜する。具体的に、まず、JVD法または加熱FNTトンネル化法を用いてボトム絶縁膜11を、たとえば4.0nm程度形成する。JVD法では、SiとNの分子または原子を、ノズルから真空中に極めて高速で放出し、この高速の分子または原子の流れを半導体基板SUB上に誘導して、例えば窒化オキシシリコン膜を堆

積させる。加熱FNTトンネル化法では、まず、ボトム絶縁膜11を作製する前の処理として、半導体基板SUBを、たとえばNO雰囲気中で800℃、20秒ほど熱処理する。つぎに、たとえば、LP-CVD法により窒化シリコン(Si_3N_4)膜を堆積させる。その後、このCVD膜に対し、たとえば、アンモニア(NH_3)ガス雰囲気中で950℃、30秒の加熱処理、続いて、 N_2O ガス雰囲気中で800℃、30秒の加熱処理を行い、CVD成膜直後はPF伝導特性を示す Si_3N_4 膜をFNTトンネル窒化膜に改質させる。

【0037】つぎに、ボトム絶縁膜11上に、LP-CVD法により窒化膜12を、最終膜厚が5nmとなるように、これより厚めに堆積する。このCVDは、たとえば、ジクロロシラン(DCS)とアンモニアを混合したガスを用い、基板温度730℃で行う。ここでは、必要に応じて、予め、出来上がり膜表面の荒さの増大を抑止するため下地面の前処理(ウエハ前処理)及び成膜条件を最適化するとよい。この場合、ウエハ前処理を最適化していないと窒化膜の表面モフォロジーが悪く正確な膜厚測定ができないことから、このウエハ前処理を充分に最適化した上で、次の熱酸化工程で膜減りする窒化膜の減少分を考慮した膜厚設定を行う。形成した窒化膜表面を、たとえば熱酸化法により酸化して、トップ絶縁膜13を3.5nmほど形成する。この熱酸化は、たとえば H_2O 雰囲気中で炉温度950℃で行う。これにより、トラップレベル(窒化シリコン膜の伝導帯からのエネルギー差)が2.0eV以下の程度の深いキャリアトラップが約 $1 \sim 2 \times 10^{13} / \text{cm}^2$ の密度でトップ絶縁膜と窒化膜との界面に形成される。また、窒化膜12が1nmに対し熱酸化シリコン膜(トップ絶縁膜13)が1.6nm形成され、この割合で下地の窒化膜厚が減少し、窒化膜12の最終膜厚が5nmとなる。

【0038】ゲート電極(ワード線WL)となる導電膜を積層させ、この導電膜とゲート絶縁膜10を一括して同一パターンにて加工する。続いて層間絶縁膜を堆積し、必要に応じてビットコンタクトを形成し、層間絶縁膜上に主ビット線MBLを形成した後、オーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0039】ところで、MONOS型不揮発性メモリトランジスタのONO膜(ボトム絶縁膜/窒化膜/トップ絶縁膜)のうちボトム絶縁膜を、例えば4nm程度まで厚膜化した場合、今までのONO膜の膜厚仕様の典型値は4.0/5.0/3.5nmであった。このONO膜厚は、酸化シリコン膜換算値で10nmとなる。

【0040】つぎに、このような構成の不揮発性メモリのバイアス設定例および動作について、メモリトランジスタM21に2ビットのデータを書き込む場合を例に説明する。書き込みは、たとえばチャネルホットエレクトロン注入を用いて行う。2ビットのデータを書き込む場

合、図3に示すように、メモリトランジスタのゲート絶縁膜10は、副ビット線SBL $i+1$ 側の第1領域、副ビット線SBL i 側の第2領域、第1、第2領域間の第3領域に区分できる。第1領域には、副ビット線SBL $i+1$ 側で発生したホットエレクトロンが注入され、第2領域には、副ビット線SBL i 側で発生したホットエレクトロンが注入され、その間の第3領域にはホットエレクトロンは注入されない。

【0041】メモリトランジスタM21に対し書き込みを行うときは、たとえば選択されたビット線BL3が接続されたメタル配線に3.3V、ソース線として機能するビット線BL2に0V、選択されたワード線WL1に5V、非選択ビット線BL1が接続されたメタル配線および非選択ワード線WL2に0Vを印加する。これにより、メモリトランジスタM21のソースとドレイン間に3.3Vが印加されるので、チャネル内にソース不純物領域（副ビット線SBL2）から電子が供給されて、電界加速される。加速された電子が水平チャネル端付近でホットエレクトロンとなり、その一部がボトム絶縁膜11のエネルギー障壁を越えてゲート絶縁膜10内の第1領域でキャリアトラップに注入される。

【0042】一方、反対側、すなわちメモリトランジスタM21の電荷蓄積手段のビット線BL2側の局部（第2領域）への書き込みでは、ソースとドレイン間の印加電圧方向を、上記書き込み時とは逆にし、他の電圧条件は同じとする。これにより、メモリトランジスタM21の電荷蓄積手段の分布領域のうちビット線BL2側の第2領域に、チャネルホットエレクトロン注入により電荷が注入される。

【0043】読み出し時には、メモリトランジスタM21の読み出す対象の電荷が蓄積されている側（たとえば、ビット線BL3側）をソースとし、ビット線BL2をドレインとして、ソースとドレイン間に所定の読み出しドレイン電圧を印加する。また、ワード線WL1に所定の読み出しゲート電圧を印加する。このとき、図示しないが、メモリトランジスタM21より更に右隣のメモリトランジスタM31がオンしないように、更に右隣のビット線BL4の電位を設定する。これにより、ビット線BL3には、メモリトランジスタM21のしきい値電圧に応じた電位変化が現出し、これをセンスアンプで検出する。反対側の電荷を読み出すときは、ソースとドレイン間の電圧印加方向を逆にすることで、同様な読み出しが可能である。

【0044】消去では、チャネル全面から、あるいは副ビット線SBL側からFNトンネリングまたは直接トンネリングを用いて電荷を引く抜くことにより行う。たとえば、電荷蓄積手段に保持された電子をチャネル全面から直接トンネリングを用いて引き抜く場合、全てのワード線WL1, WL2, …に-5V、たとえば奇数番目のビット線BL1, BL3, …に5V、偶数番目のビット

線BL2, BL4, …をオープン、pウェルSUBに5Vの電圧を印加する。これにより、電荷蓄積手段の第1領域に保持されていた電子が、基板側に引き抜かれることで、セル消去が行われる。このとき、消去速度は1ms程度であった。第2領域側の消去は、奇数番目と偶数番目のビット線設定電圧を入れ換えること実現できる。また、第1、第2領域を一括して消去するときは、全てのビット線に5Vで同電位とする。

【0045】また、消去をバンド間トンネル電流に起因したホットホール注入で行うこともできる。たとえば、ウェルWを0で保持した状態で、全てのワード線WLに所定の負電圧、たとえば-6Vを印加し、全ての副ビット線SBLに所定の負電圧、たとえば6Vを印加する。これにより、副ビット線SBLをなすn型不純物領域の表面が深い空乏状態となり、エネルギーバンドの曲がり急峻となる。このときバンド間トンネル効果により電子が価電子帯より伝導帯にトンネルし、n型不純物領域側に流れ、その結果、ホールが発生する。発生したホールは、チャネル形成領域の中央部側に若干ドリフトして、そこで電界加速され、その一部がホットホールとなる。このn型不純物領域端で発生した高エネルギー電荷（ホットホール）は、効率よく電荷蓄積手段であるキャリアトラップに注入され、そこに保持されていた電子と再結合する。また、同時に、ホールが注入され、これにより当該メモリトランジスタが消去状態に移行する。

【0046】ところで、ボトム絶縁膜に酸化膜を用いた従来構造のMONOS型メモリトランジスタでは、チャネルホットエレクトロン注入の際にソースとドレイン間に4.5V程度の電圧を印加する必要があるが、1 μ s程度の高速な書き込み速度を得るためにはソース・ドレイン間電圧4.5Vを低減することは困難であった。このような状態でゲート長をスケーリングした場合、ソースとドレイン間に発生したパンチスルーによりメモリセル動作が困難となり、これがゲート長のスケーリングを妨げている要因となっていた。

【0047】図4に、このボトム絶縁膜に酸化シリコン膜を用いた従来のMONOS型メモリトランジスタについて、パンチスルー特性のゲート長依存性を示す。仮に、単位ゲート幅当たりのドレイン電流の最大許容値を500pA/ μ m程度とすると、従来、ゲート長が0.22 μ mの場合にドレイン電圧は5V程度までしか印加できない。また、ゲート長が0.18 μ mの場合は、ドレイン電圧3.6V程度が印加可能な最大の電圧値である。

【0048】これに対し、本実施形態ではボトム絶縁膜11がFNトンネル窒化膜からなることから、前述したようにホットエレクトロンが越えるべきボトム絶縁膜11とシリコンとのエネルギー障壁が3.2Vから2.1Vに低減されている。このため、ホットエレクトロンの注入効率が上がり、従来と同じ書き込み速度を得るため

のドレイン電圧は、4.5 Vから3.3 V程度に低減される。このドレイン電圧の低減によって、パンチスルーに起因したドレイン電流の増大が抑制でき、結果として、ゲート長のスケーリングが容易となる。たとえば、ある程度書き込み速度を上げるために従来はドレイン電圧が5 V程度必要であったが、このとき図4に示すようにリーク電流が大きすぎてゲート長0.18 μm の実現はできなかった。ところが、本実施形態では、ドレイン電圧を3.3 Vにすることができ、図4におけるゲート長0.18 μm のグラフ線から読み取れるように、リーク電流が500 pA/ μm オーダ以下の実用領域まで低減される。すなわち、本実施形態では、ボトム絶縁膜11をFNTトンネル窒化膜から形成することにより書き込み速度を1 μs 程度の高速に保持した状態でドレイン電圧を下げての使用できる。このため、パンチスルーが発生し難くなり、その分、短ゲート長化が容易となるという利点がある。なお、ここでは詳しく言及しないが、さらにゲート長のスケーリングを進めるには、このリーク電流の低減のほか、短チャネル効果抑制のためチャネル不純物濃度を高濃度化する必要もある。

【0049】また、本実施形態では、書き込み時のドレイン印加電圧が従来の5 Vから電源電圧 V_{cc} (3.3 V)にまで低減され、書き込み電圧の低電圧化が可能となる。このため、書き込み時にチャージポンプ回路を用いてビット線を昇圧する必要がなく、ビット線プリチャージ時間が短く、その分、1ページの書き込み動作サイクルを短くできる。

【0050】本実施形態では、ボトム絶縁膜11としてFNTトンネル窒化膜の単層としたが、本発明ではボトム絶縁膜を複数の膜から構成し、その積層膜中にシリコンとのエネルギー障壁を低減するFNTトンネル絶縁膜（誘電膜）を含むことで、上記したと同様な効果が得られる。

【0051】図5および図6に、本実施形態におけるメモリトランジスタ構造の変形例を示す。図5に示すメモリトランジスタにおけるボトム絶縁膜11は、チャネル形成領域上のシリコンとのエネルギー障壁が比較的低い第1の膜11cと、当該第1の膜11c上で、シリコンとのエネルギー障壁が比較的高いが、第1の膜11cのキャリアトラップ数を低減するために有効な第2の膜11dとからなる。具体的に、第1の膜11cとしては、たとえば $\text{NH}_3\text{RTN}-\text{SiON}$ 膜を用いる。この膜の形成では、シリコン表面を熱酸化して熱酸化シリコン膜を形成し、その熱酸化シリコン膜をアンモニア雰囲気中でRTN処理する。この NH_3RTN 処理に、熱酸化膜中のダングリングボンドが窒素で置換され、キャリアトラップ数がある程度低減する。また、第2の膜11dとしては、たとえば、 $\text{NH}_3\text{RTN}-\text{SiON}$ 膜表面を N_2O 雰囲気中で再酸化して形成した N_2O 再酸化 SiO_2 膜を用いる。この再酸化の過程で、 $\text{NH}_3\text{RTN}-\text{Si}$

ON膜中の水素が散逸し、その結果、膜中のキャリアトラップ数が更に低減される。

【0052】図6に示すメモリトランジスタにおけるボトム絶縁膜11は、チャネル形成領域上のシリコンとのエネルギー障壁が比較的低い第1の膜11cと、当該第1の膜11c上で、シリコンとのエネルギー障壁が比較的高いが、キャリアトラップ数が少ない第2、第3の膜11e、11fとからなる。第3の膜11fは、キャリアトラップ数が特に少なく、第2の膜11eは第3の膜11f形成のために薄く介在する膜である。具体的に、第1の膜11cとしては、たとえば $\text{NH}_3\text{RTN}-\text{SiON}$ 膜を用いる。また、第2の膜11eとしては、たとえば、DCSを用いたLP-CVD法により形成したシリコン窒化膜（DCS-SiN膜）を用いる。また、第3の膜11fとしては、テトラクロロシラン（TCS）を用いたLP-CVD法により形成したシリコン窒化膜（TCS-SiN膜）を用いる。

【0053】図7および図8にDCS-SiNとTCS-SiNのFTIRスペクトルを示した。DCS-SiNではSi-H振動（波数：2200 cm^{-1} 付近）、及びN-H振動（波数：3300 cm^{-1} 付近）が観測されている。一方、TCS-SiNでは、N-H振動は観測されているが、Si-H振動はほとんど観測されていないことが分かった。

【0054】図9に、ボンド密度を計算した結果を表を示す。TCS-SiNとDCS-SiNを比較した場合に、N-Hボンド密度は余り差ないが、Si-Hボンド密度は1桁ほどTCS系の方が低いことが分かった。一般に、SiN膜中の電荷トラップはSiダングリングボンドより形成され、かつ、Si-Hボンド密度と正の相関がある。このため、TCS-SiNは低トラップ窒化膜として適用可能であることが分かった。

【0055】以上の変形例では、ボトム絶縁膜11が、シリコンとのエネルギー障壁が低く、かつ、キャリアトラップ数が少ない、ホットキャリア注入に適した絶縁膜となる。なお、上記ボトム絶縁膜11として、窒化シリコン膜、酸化窒化シリコン膜および上記変形例のほか、酸化タンタル膜、酸化ジルコニア膜、酸化アルミニウム膜、酸化チタン膜、酸化ハフニウム膜、酸化バリウムストロンチウムチタン（BST： $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ）膜、酸化イットリウム膜の何れかを単独でまたは組み合わせて用いることもできる。

【0056】第2実施形態

第2実施形態は、仮想接地NOR型の不揮発性メモリ装置において、メモリトランジスタのゲート絶縁膜構造の変形に関する。第2実施形態においても、図1の回路図および図2の平面図が、そのまま適用できる。

【0057】図10に、第2実施形態に係るメモリトランジスタ構造を示す断面図を示す。このメモリトランジスタは、そのゲート絶縁膜が、副ビット線SBLi側の

ゲート絶縁膜10aと、副ビット線SBLi+1側のゲート絶縁膜10bとから構成されている。両ゲート絶縁膜10a、10bは、チャンネル中央部上の単層の絶縁膜を挟んで空間的に分離されている。両ゲート絶縁膜10a、10bそれぞれが、第1実施形態におけるゲート絶縁膜10と同様の膜構造を有する。すなわち、ゲート絶縁膜10aは、下層から順に、ボトム絶縁膜11a（FNトンネル窒化膜）、窒化膜12a、トップ絶縁膜13aから構成されている。同様に、ゲート絶縁膜10bは、下層から順に、ボトム絶縁膜11b（FNトンネル窒化膜）、窒化膜12b、トップ絶縁膜13bから構成されている。ボトム絶縁膜11a、11b、窒化膜12a、12b、トップ絶縁膜13a、13bそれぞれは、第1実施形態におけるボトム絶縁膜11、窒化膜12、トップ絶縁膜13と同様の材料、膜厚で、同様の成膜法により形成される。

【0058】両ゲート絶縁膜10a、10b間の絶縁膜14は、たとえばCVD法により形成した酸化シリコン膜からなり、両ゲート絶縁膜間を埋め込むように形成されている。

【0059】このゲート絶縁膜構造の形成は、まず、第1実施形態と同様に全面にボトム絶縁膜（FNトンネル窒化膜）、窒化膜、トップ絶縁膜の積層膜を形成した後、チャンネル中央部上で、この積層膜を一部エッチングにより除去する。これにより、ゲート絶縁膜10a、10bが空間的に分離して形成される。全面に酸化シリコン膜を厚く堆積させ、酸化シリコン膜表面からエッチバックを行う。そして、ゲート絶縁膜10a、10b上の絶縁膜が除去され、ゲート絶縁膜10a、10b間が絶縁膜14で埋まった段階でエッチバックを停止すると、当該ゲート絶縁膜構造が完成する。なお、このエッチバック時のオーバエッチングを防止するため、ゲート絶縁膜10a、10b上に予めエッチングストップ膜、たとえば窒化シリコン膜を薄く形成してもよい。その後は、第1実施形態と同様にしてワード線WLの形成工程等を経て、当該メモリトランジスタを完成させる。

【0060】このメモリトランジスタは、第1実施形態と同様な方法で書き込み、読み出しまたは消去できる。すなわち、選択された書き込み対象のメモリトランジスタが接続された一方のビット線に3.2V、他方のビット線に0V、選択されたワード線に5V、他のビット線および非選択ワード線に0Vを印加する。これにより、選択メモリトランジスタのソースとドレイン間に3.3Vが印加されて出来たチャンネル内で電子が電界加速され、これが水平チャンネル端付近でホットエレクトロンとなり、その一部がボトム絶縁膜11aまたは11bのエネルギー障壁を越えてゲート絶縁膜10aまたは10b内のキャリアトラップに注入される。

【0061】いま、このような方法によりゲート絶縁膜10aに書き込みが行われたとする。反対側のゲート絶

縁膜10bに対する書き込みでは、ソースとドレイン間の印加電圧方向を、上記書き込み時とは逆にし、他の電圧条件は同じとする。これにより、同様な原理でゲート絶縁膜10bへの書き込みが実現する。

【0062】読み出し時には、メモリトランジスタの読み出す対象の電荷が蓄積されている側をソースとし、他をドレインとする向きで、副ソース線SSLi、SSLi+1に所定の読み出しドレイン電圧を印加する。また、ワード線WLに所定の読み出しゲート電圧を印加する。これにより、ドレイン側のビット線に、メモリトランジスタのしきい値電圧に応じた電位変化が現出し、これをセンスアンプで検出する。反対側の電荷を読み出すときは、ソースとドレイン間の電圧印加方向を逆にすることで、同様な読み出しが可能である。

【0063】消去では、第1実施形態と同様にして、チャンネル全面から、あるいは副ビット線SBL側からFNトンネリングまたは直接トンネリングを用いて電荷を引く抜くことにより、または、バンド間トンネル電流に起因したホットホール注入を利用して消去を行う。

【0064】第2実施形態においても、ボトム絶縁膜11a、11bがFNトンネル窒化膜からなることから、先の第1実施形態と同様な効果が得られる。すなわち、書き込み（あるいは消去）時に、ホットエレクトロン（あるいはホットホール）が越えるべきボトム絶縁膜11a、11bのエネルギー障壁が、従来の酸化膜からボトム絶縁膜を構成した場合に比べ低減し、このため、ホットエレクトロンの注入効率が上がり、従来と同じ書き込み速度を得るためのドレイン電圧は、4.5Vから3.3V程度に低減される。また、このドレイン電圧の低減によって、パンチスルーに起因したドレイン電流の増大が抑制でき、結果として、ゲート長のスケール化が可能となる。さらに、書き込み電圧の低電圧化が可能となるため、書き込み時にチャージポンプ回路を用いてビット線を昇圧する必要がなく、ビット線プリチャージ時間が短く、その分、書き込み動作サイクルを短くできる。1メモリセル内に2ビットを書き込みできるため、1ビット当たりの実効的なメモリセル面積が小さい。

【0065】なお、第2実施形態においても、ゲート絶縁膜10a、10bの膜構造として、第1実施形態における変形例（図5および図6）が同様に適用できる。

【0066】第3実施形態

第3実施形態は、いわゆるコントロールゲートと称されるソースおよび／またはドレイン側に第2のゲート電極を有するトランジスタ構造に、FNトンネル低障壁技術を適用したものである。

【0067】図11、図12は、第3実施形態に係るメモリセルアレイの構成例を示す回路図である。このメモリセルアレイは、基本的には、第1、第2実施形態と同様の仮想接地NOR型のメモリセルアレイである。ただし、このメモリセルアレイでは、各メモリトランジスタ

に、ソース・ドレイン不純物領域側からチャネル形成領域に一部重なるようにコントロールゲートが設けられている。そして、ビット方向に連なるメモリトランジスタM11, M12, …の一方のコントロールゲートを共通接続する制御線CL1a, 他方のコントロールゲートを共通接続する制御線CL1b, 他の列に属しビット方向に連なるメモリトランジスタM21, M22, …の一方のコントロールゲートを共通接続する制御線CL2a, 他方のコントロールゲートを共通接続する制御線CL2b, …が設けられている。各制御線は、ワード線とは独立に制御される。図11においては、各制御線がチャネル形成領域に一部重なることによって、中央のメモリトランジスタをはさんで両側にMOS構造の選択トランジスタが形成されている。一方、図12においては、中央がMOS構造の選択トランジスタとなっており、その両側それぞれに、ゲートが制御線に接続されたメモリトランジスタが形成されている。

【0068】図13および図14に、第3実施形態に係るトランジスタ構造の例を示す。図13に示すメモリトランジスタにおいて、チャネル形成領域の中央部に、下層からボトム絶縁膜11, 窒化膜12, トップ絶縁膜13からなるゲート絶縁膜19を介して選択トランジスタのゲート電極15が積層されている。このゲート電極15は、図示しないワード線WLをなす上層配線層に接続され、ワード方向のメモリセル間で共通に接続されている。

【0069】ゲート絶縁膜10の最下層のボトム絶縁膜11がチャネル方向両側の副ビット線SBLi, SBLi+1上に延在し、そのボトム絶縁膜の延在部分上に、コントロールゲートCGが形成されている。コントロールゲートCGとゲート電極15との間は、スペーサ絶縁層16により絶縁分離されている。

【0070】このメモリトランジスタの形成では、たとえば、ゲート絶縁膜10とゲート電極となる導電膜を全面に形成した後、ゲート電極のパターンニング時に、ゲート絶縁膜10の上側から2層のトップ絶縁膜13と窒化膜12を一括して加工する。つぎに、このパターンをスペーサ絶縁層16となる絶縁膜で覆った後、異方性エッチングする。これにより、ゲート電極の側壁側にスペーサ絶縁層16が形成される。コントロールゲートCGとなる導電膜を堆積し、この導電膜を異方性エッチングして、サイドウォール状に残し、これにより、コントロールゲートCGを形成する。

【0071】このようにして形成されたトランジスタは、いわゆるソースサイド注入動作のメモリトランジスタである。この動作は既知なので、ここで詳細は説明しないが、動作時に、チャネル形成領域の両端のコントロールゲートCGが、選択トランジスタのゲート電極として機能する。ただし、本実施形態では、ゲート絶縁膜の最下層のボトム絶縁膜が、FNトンネル窒化膜等、シリ

コンとのエネルギー障壁を低下させる誘電膜により形成され、あるいは当該誘電膜を含む多層膜構造を有するため、ホットエレクトロンの注入効率が改善される等、第1実施形態と同様の効果を奏する。

【0072】一方、図14に示すメモリトランジスタにおいて、そのゲート電極構造自体は、図13と同様である。すなわち、チャネル形成領域中央部に形成されワード線WLに接続されたゲート電極15と、ゲート電極15と絶縁分離され、チャネル方向両側に設けられたコントロールゲートCGとを有する。ただし、このメモリトランジスタは、図13の場合と異なり、コントロールゲートCGと、副ビット線SBLi, SBLi+1またはチャネル形成領域端部との間に、ゲート絶縁膜10が形成されている。ゲート電極15は、ソース側とドレイン側で空間的に分離された2つのコントロールゲートCGとゲート絶縁膜10の積層パターン間に、絶縁膜17を介して埋め込まれている。

【0073】このメモリトランジスタの形成では、たとえば、ゲート絶縁膜10とコントロールゲートCGとなる導電膜を全面に形成した後、2つのコントロールゲートCGのパターンニング時に、ゲート絶縁膜10を一括して加工する。これにより、副ビット線SBLi側と、副ビット線SBLi+1側に空間的に分離して、2つのコントロールゲートCGとゲート絶縁膜10の積層パターンが形成される。その後、全面に絶縁膜17とゲート電極15となる導電膜とを堆積し、これらの膜をエッチバックする。これにより、2つのコントロールゲートCGとゲート絶縁膜10の積層パターン間に、絶縁膜17とゲート電極15が埋め込まれるように形成される。

【0074】このように形成されたメモリトランジスタでは、チャネル形成領域中央部に、ワード線に接続された選択MOSトランジスタが形成されている。また、副ビット線SBLi, SBLi+1の対向端にP型不純物の高濃度領域（ポケット領域）Pi, Pi+1が形成されている。この斜めイオン注入で形成したポケット領域および拡散層の上部では、電荷蓄積手段を含むONO膜タイプのゲート絶縁膜10a, 10bを介してコントロールゲートCGが配置されている。この選択ゲート15とコントロールゲートCGとの組合せは、基本的に、スプリットゲート構造のソースサイド注入タイプのメモリセルと同一である。

【0075】本実施形態のメモリトランジスタは、そのゲート絶縁膜の最下層のボトム絶縁膜11として、第1実施形態で示したFNトンネリング特性を示す窒化シリコン膜、酸化窒化シリコン膜、図5および図6に示す多層膜、および酸化タンタル膜等の他の誘電膜の何れを用いてもよい。そのため、ソースサイド注入における、伝導帯側のエネルギー障壁が酸化膜の場合の3.2eVより低減され、ホットエレクトロンの注入効率が改善される。なお、ボトム絶縁膜11上の窒化膜12として、第

1 実施形態と同様にDCSとアンモニアを混合したガスを用いたLP-CVD法により作製した窒化膜を用いる。

【0076】選択ゲートMOSトランジスタは、書き込み時にソースサイド注入を効率よく行うために用いられる。また、消去時には電荷蓄積手段が過剰消去された場合でも、メモリトランジスタの消去状態でのしきい値電圧 V_{th} を一定に保持する役割を果たす。このため、この選択ゲートMOSトランジスタのしきい値電圧は、0.5Vと1Vとの間に設定される。

【0077】このメモリトランジスタは、第1実施形態と同様な方法で書き込み、読み出しまたは消去できる。すなわち、選択された書き込み対象のメモリトランジスタが接続された一方のビット線に3.3V、他方のビット線に0V、選択されたワード線に5V、他のビット線および非選択ワード線に0Vを印加する。また、選択ゲートMOSトランジスタのゲートを3V程度にバイアスしておく。これにより、選択されたメモリトランジスタのソースとドレイン間に3.3Vが印加され、チャンネル形成領域中央部の選択ゲートがオンするため、チャンネル内に電子がソースとなる副ビット線側から供給されて、チャンネル内で電界加速される。加速された電子は、チャンネル端付近でホットエレクトロンとなり、その一部がボトム絶縁膜11aまたは11bのエネルギー障壁を越えてゲート絶縁膜10aまたは10b内のキャリアトラップに注入される。この場合、コントロールゲートCGは、電荷蓄積手段下の電界を最適化して、ソースサイドホットエレクトロンの発生効率と電荷蓄積手段への注入効率とのバランスを最適化する。その結果、ホットエレクトロンは電荷蓄積手段に効率よくソースサイドから注入される。このソースサイド注入のオペレーションでは、第1実施形態のホットエレクトロン注入と比較した場合、ホットエレクトロンの注入効率が2～3桁ほど向上する。

【0078】いま、このような方法によりゲート絶縁膜10aに書き込みが行われたとする。反対側のゲート絶縁膜10bに対する書き込みでは、ソースとドレイン間の印加電圧方向を、上記書き込み時とは逆にし、他の電圧条件は同じとする。これにより、同様な原理でゲート絶縁膜10bへの書き込みが実現する。

【0079】この書き込みでは、メモリセルの片側の書き込み時間が1 μ sec以下で非常に高速であり、また書き込みに必要な電流10 μ A以下と小さくできる。なお、このメモリセルアレイにおいて、ページ書き込みを行う場合は、同一ワード線に接続されたメモリセルを全て同時に書き込むことは難しいため、たとえば、コントロールゲートCGを制御して同一行のメモリセルを複数に分割して、複数回の書き込みによりページ書き込みを行う。

【0080】読み出し時には、メモリトランジスタの読

み出す対象の電荷が蓄積されている側をソースとし、他をドレインとする向きで、副ソース線SSL_i、SSL_{i+1}に所定の読み出しドレイン電圧を印加する。また、ワード線WLに所定の読み出しゲート電圧を印加する。これにより、ドレイン側のビット線に、メモリトランジスタのしきい値電圧に応じた電位変化が現出し、これをセンスアンプで検出する。反対側の電荷を読み出すときは、ソースとドレイン間の電圧印加方向を逆にすることで、同様な読み出しが可能である。

【0081】消去では、第1実施形態と同様にして、チャンネル全面から、あるいは副ビット線SBL側からFNトンネリングまたは直接トンネリングを用いて電荷を引く抜くことにより、または、バンド間トンネル電流に起因したホットホール注入を利用して行う。

【0082】第3実施形態においても、ボトム絶縁膜11a、11bがFNトンネル窒化膜からなることから、先の第1実施形態と同様な効果が得られる。すなわち、書き込み（あるいは消去）時に、ホットエレクトロン（あるいはホットホール）が越えるべきボトム絶縁膜11a、11bのエネルギー障壁が、従来の酸化膜からボトム絶縁膜を構成した場合に比べ低減し、このため、ホットエレクトロンの注入効率が上がり、従来と同じ書き込み速度を得るためのドレイン電圧は、4.5Vから3.3V程度に低減される。また、このドレイン電圧の低減によって、パンチスルーに起因したドレイン電流の増大が抑制でき、結果として、ゲート長のスケールアップが容易となる。さらに、書き込み電圧の低電圧化が可能となるため、書き込み時にチャージポンプ回路を用いてビット線を昇圧する必要がなく、ビット線プリチャージ時間が短く、その分、書き込み動作サイクルを短くできる。1メモリセルに2ビットを書き込むため、1ビット当たりのメモリセル面積を小さくできる。また、ボトム絶縁膜へのホットキャリア注入のダメージも低減することも可能となる。

【0083】以下の実施形態では、本発明が適用可能な他のメモリセルアレイおよびメモリトランジスタ構造について述べる。

【0084】第4実施形態

図15に、第4実施形態に係るNOR型メモリセルアレイの回路図を、図16に、当該メモリセルアレイの平面図を、図17に図16のB-B'線に沿った断面側から見た鳥瞰図を示す。

【0085】この不揮発性メモリ装置では、ビット線（第1共通線）が主ビット線（第1主線）と副ビット線（第1副線）に階層化され、ソース線（第2共通線）が主ソース線（第2主線）と副ソース線（第2副線）に階層化されている。主ビット線MBL1に選択トランジスタS11を介して副ビット線SBL1が接続され、主ビット線MBL2に選択トランジスタS21を介して副ビット線SBL2が接続されている。また、主ソース線M

SL1に選択トランジスタS12を介して副ソース線SSL1が接続され、主ソース線MSL2に選択トランジスタS22を介して副ソース線SSL2が接続されている。

【0086】副ビット線SBL1と副ソース線SSL1との間に、メモリトランジスタM11~M1n（たとえば、 $n=128$ ）が並列接続され、副ビット線SBL2と副ソース線SSL2との間に、メモリトランジスタM21~M2nが並列接続されている。この互いに並列に接続されたn個のメモリトランジスタと、2つの選択トランジスタ（S11とS12、又は、S21とS22）とにより、メモリセルアレイを構成する単位ブロックが構成される。

【0087】ワード方向に隣接するメモリトランジスタM11, M21, …の各ゲートがワード線WL1に接続されている。同様に、メモリトランジスタM12, M22, …の各ゲートがワード線WL2に接続され、また、メモリトランジスタM1n, M2n, …の各ゲートがワード線WLnに接続されている。ワード方向に隣接する選択トランジスタS11, …は選択線SG11により制御され、選択トランジスタS21, …は選択線SG21により制御される。同様に、ワード方向に隣接する選択トランジスタS12, …は選択線SG12により制御され、選択トランジスタS22, …は選択線SG22により制御される。

【0088】このNOR型セルアレイでは、図17に示すように、半導体基板SUBの表面にnウェルWが形成されている。nウェルWは、トレンチに絶縁物を埋め込んでなり平行ストライプ状に配置された素子分離絶縁層ISOにより、ワード方向に絶縁分離されている。

【0089】素子分離絶縁層ISOにより分離された各nウェル部分が、メモリトランジスタの能動領域となる。能動領域内の幅方向両側で、互いの距離をおいた平行ストライプ状にp型不純物が高濃度に導入され、これにより、副ビット線SBL1, SBL2（以下、SBLと表記）および副ソース線SSL1, SSL2（以下、SSLと表記）が形成されている。副ビット線SBLおよび副ソース線SSL上に絶縁膜を介して直交して、各ワード線WL1, WL2, WL3, WL4, …（以下、WLと表記）が等間隔に配線されている。これらのワード線WLは、内部に電荷蓄積手段を含む絶縁膜を介してnウェルW上および素子分離絶縁層ISO上に接している。副ビット線SBLと副ソース線SSLとの間のnウェルWの部分と、各ワード線WLとの交差部分がメモリトランジスタのチャネル形成領域となり、そのチャネル形成領域に接する副ビット線部分がドレイン、副ソース線部分がソースとして機能する。

【0090】ワード線WLの上面および側壁は、オフセット絶縁層およびサイドウォール絶縁層（本例では、通常の層間絶縁層でも可）により覆われている。これら絶

縁層には、所定間隔で副ビット線SBLに達するビットコンタクトBCと、副ソース線SSLに達するソースコンタクトSCとが形成されている。これらのコンタクトBC, SCは、たとえば、ビット方向のメモリトランジスタ128個ごとに設けられている。また、絶縁層上を、ビットコンタクトBC上に接触する主ビット線MBL1, B L 2, …と、ソースコンタクトSC上に接触する主ソース線MSL1, B L 2, …が交互に、平行ストライプ状に形成されている。

【0091】このNOR型セルアレイは、第1共通線（ビット線）および第2共通線（ソース線）が階層化され、メモリセルごとにビットコンタクトBCおよびソースコンタクトSCを形成する必要がない。したがって、コンタクト抵抗自体のバラツキは基本的でない。ビットコンタクトBCおよびソースコンタクトSCは、たとえば128個のメモリセルごとに設けられるが、このときのプラグ形成を自己整合的行わないときは、オフセット絶縁層およびサイドウォール絶縁層は必要ない。すなわち、通常の層間絶縁膜を厚く堆積してメモリトランジスタを埋め込んだ後、通常のフォトリソグラフィとエッチングによりコンタクトを開口する。

【0092】副線（副ビット線、副ソース線）を不純物領域で構成した疑似コンタクトレス構造として無駄な空間が殆どないことから、各層の形成をウエハプロセス限界の最小線幅Fで行った場合、 $8F^2$ に近い非常に小さいセル面積で製造できる。さらに、ビット線とソース線が階層化されており、選択トランジスタS11又はS21が非選択の単位ブロックにおける並列メモリトランジスタ群を主ビット線MBL1またはMBL2から切り離すため、主ビット線の容量が著しく低減され、高速化、低消費電力化に有利である。また、選択トランジスタS12またはS22の働きで、副ソース線を主ソース線から切り離して、低容量化することができる。なお、更なる高速化のためには、副ビット線SBLおよび副ソース線SSLをシリサイドを張りつけた不純物領域で形成し、主ビット線MBLおよび主ソース線MSLをメタル配線とするとよい。

【0093】第4実施形態では、後述するように、書き込みをバンド間トンネル電流に起因したホットエレクトロン注入で行う。このため、各メモリセルがpチャネルMONOS型メモリトランジスタから構成されている。メモリトランジスタ構造自体は、第1実施形態に係る図3（または図5、図6）と同様である。ただし、ウェルWと副ビット線SBLi, SBLi+1に導入された不純物の導電型が第1実施形態と逆になっている。また、メモリセルアレイ構造との関係で、このメモリトランジスタは、ワード線WLの幅方向両側にソース不純物領域およびドレイン不純物領域（副ビット線SBLi, SBLi+1）が形成されている。本実施形態におけるボトム絶縁膜11も、第1実施形態と同様に、FNトンネリ

ング特性を示す窒化シリコン膜、酸化窒化シリコン膜、図5および図6に示す多層膜、および酸化タンタル膜等の他の誘電膜の何れを用いてもよい。

【0094】また、メモリセルアレイの形成においては、第1実施形態と同様な方法により、ウェルW内に副ビット線となるp型不純物領域を形成し、ゲート絶縁膜10を形成した後、ゲート電極（ワード線WL）となる導電膜とオフセット絶縁層（不図示）との積層膜を積層させ、この積層膜を一括して同一パターンにて加工する。続いて、図17のメモリセルアレイ構造とするために、サイドウォール絶縁層とともに自己整合コンタクトを形成し、自己整合コンタクトにより表出する副ビット線SBLおよび副ソース線SSL上に、ビットコンタクトBCおよびソースコンタクトSCを形成する。その後、これらプラグ周囲を層間絶縁膜で埋め込み、層間絶縁膜上に主ビット線MBLおよび主ソース線MSLを形成した後、必要に応じて行う層間絶縁層を介した上層配線の形成およびオーバーコート成膜とパッド開口工程等を経て、当該不揮発性メモリセルアレイを完成させる。

【0095】つぎに、このような構成の不揮発性メモリの書き込み時のバイアス設定例および動作について、メモリトランジスタM11にデータを書き込む場合を例に説明する。

【0096】書き込み時に、必要に応じて書き込みインヒビット電圧の設定した後、プログラム電圧を印加する。たとえば、選択されたワード線WL1に4V、基板電位を0V、選択された主ソース線MSL1をオープンとした状態で、選択された主ビット線MBL1に例えば-4Vを印加する。

【0097】この書き込み条件下、副ビット線SBL1をなすp型不純物領域の表面にn型の反転層が形成され、この反転層にゲートとドレイン間の電圧が印加されて、この部分でエネルギーバンドの曲がりが大きくなり、実効的なバンドギャップが減少するため、容易にバンド間トンネル電流が発生する。バンド間トンネル電流は、ゲートとドレイン間の電圧に加速されて高エネルギーを得てホットエレクトロンとなる。ホットエレクトロンは、その運動量（大きさと方向）が維持されてボトム絶縁膜11のエネルギー障壁より高いエネルギーを持つと、当該ボトム絶縁膜11のエネルギー障壁を越えて、窒化膜12内のキャリアトラップ（電荷蓄積手段）に注入される。このバンド間トンネル電流を利用した書き込みでは、ホットエレクトロンの発生が副ビット線SBL1側に限定されることから、副ビット線SBL1の上方を中心とした電荷蓄積手段の局部（第1領域）に電荷が注入される。

【0098】本実施形態では、ボトム絶縁膜11がFNTトンネル窒化膜から形成されているため、この書き込み時にホットエレクトロンが飛び越えるエネルギー障壁が従来の3.2Vから2.1V程度に低減されており、そ

の結果、高いホットエレクトロンの注入効率が得られる。また、書き込みをすべき選択セルと書き込みを禁止すべき非選択セルをバイアス条件により設定するとワード線WL1に連なるセルを一括してページ書き込みできるが、本実施形態では、上記した注入効率の改善によってビット当たりの書き込み電流が桁違いに小さくなり、結果として、一括並列書き込み可能なセル数を多くすることができる。

【0099】読み出しでは、バイアス値を書き込み状態に応じてチャネルが形成される程度に変更する。たとえば、副ビット線SBL1を接地した状態で、副ソース線SSL1に負の電圧-1.5V、ワード線WL1に読み出しワード線電圧-2Vを印加する。これにより、選択ワード線WL1に接続されたメモリトランジスタM11, M21, …に対し行うページ読み出しの場合、電荷蓄積手段の第1領域に電子が注入されていない消去状態のメモリトランジスタではチャネルが形成され、電荷蓄積手段の第1領域に電子が注入された書き込み状態のメモリトランジスタではチャネルが形成されない。したがって、主ビット線MBL1, MBL2, …には、そのチャネル形成の有無に応じた電位変化が現出する。この電位変化をセンスアンプで検出すると、ページ内の記憶データが一括して読み出される。

【0100】消去では、チャネル全面から、あるいは副ビット線SBL1側からFNTトンネリングまたは直接トンネリングを用いて電荷を引く抜くことにより行う。たとえば、電荷蓄積手段に保持された電子をチャネル全面から直接トンネリングを用いて引き抜く場合、ワード線WLに-5V、主ビット線MBL1に5V、主ソース線MSL1をオープン、nウェルWに5Vの電圧を印加する。これにより、電荷蓄積手段の第1領域に保持されていた電子が、基板側に引き抜かれることで、セル消去が行われる。このとき、消去速度は1msec程度であった。

【0101】図3の場合と同様に、電荷蓄積手段の第1領域に第1実施形態と同様な方法で書き込みを行った後、副ソース線SSL側にも同様な書き込みを行う。この2回目の書き込みでは、ソースとドレインの印加電圧を1回目と逆にする。すなわち、選択されたワード線WLに4V、基板電位に0Vを印加し、副ビット線SBLをオープンとした状態で、副ソース線SSLに-4Vを印加する。これにより、1回目と同様に、バンド間トンネル電流に起因したホットエレクトロンが電荷蓄積手段の副ソース線SSL側の領域（第2領域）に注入される。

【0102】これにより、2ビットとも書き込み状態のセルでは、電荷蓄積手段の第1領域にホットエレクトロンが注入されて保持され、これと独立に、第2領域にホットエレクトロンが注入され保持されている。つまり、電荷蓄積手段の第1領域と第2領域との間にはホットエ

レクトロンが注入されない第3領域が介在するので、この2ビット情報に対応したエレクトロンは確実に峻別される。

【0103】読み出しは、第1領域の蓄積電荷に応じた2値データを読むか、第2領域の蓄積電荷に応じた2値データを読むかにより、ソースとドレイン間の電圧方向を逆にして行う。これにより、2ビットのデータを独立に読み出すことができる。消去も、前記した第1領域側の消去と、ソースとドレイン（副ビット線SBLおよび副ソース線SSL）の印加電圧を逆にして行う。なお、チャンネル全面で消去を行う場合は、第1領域側と第2領域側のデータが一括消去される。

【0104】つぎに、書き込み状態、消去状態のメモリトランジスタの電流-電圧特性について検討した。この結果、ドレイン電圧1.5Vでの非選択セルからのオフリーク電流値は約1nAであった。この場合の読み出し電流は10 μ A以上であるため、非選択セルの誤読み出しが生じることはない。したがって、ゲート長0.18 μ mのMONOS型メモリトランジスタにおいて読み出し時のパンチスルー耐圧のマージンは十分あることが分かった。また、ゲート電圧1.5Vでのリードディスタープ特性も評価したが、3 $\times 10^8$ sec以上時間経過後でも読み出しが可能であることが分かった。

【0105】データ書換え回数は、キャリアトラップが空間的に離散化されているために良好で、1 $\times 10^6$ 回を満足することが分かった。また、データ保持特性は1 $\times 10^6$ 回のデータ書換え後で85 $^{\circ}$ C、10年を満足した。

【0106】以上より、ゲート長0.18 μ mのMONOS型不揮発性メモリトランジスタとして十分な特性が得られていることを確かめることができた。また、ボトム絶縁膜11をFNトンネル窒化膜により形成することにより、ゲート長0.13 μ mのMONOS型不揮発性メモリトランジスタの実現あるいは特性改善が容易となる。

【0107】第4実施形態においても、ボトム絶縁膜11がFNトンネル窒化膜などからなることから、先の第1実施形態と同様な効果が得られる。すなわち、書き込み（あるいは消去）時に、ホットエレクトロン（あるいはホットホール）が越えるべきボトム絶縁膜11のエネルギー障壁が、従来の酸化膜からボトム絶縁膜を構成した場合に比べ低減し、このため、ホットエレクトロンの注入効率が上がり、従来と同じ書き込み速度を得るためのドレイン電圧は、4.5Vから3.3V程度に低減される。また、このドレイン電圧の低減によって、パンチスルーに起因したドレイン電流の増大が抑制でき、結果として、ゲート長のスケールアップが容易となる。さらに、書き込み電圧の低電圧化が可能となるため、書き込み時にチャージポンプ回路を用いてビット線を昇圧する必要がなく、ビット線プリチャージ時間が短く、その

分、書き込み動作サイクルを短くできる。1メモリセル内に2ビットを書き込みできるため、1ビット当たりの実効的なメモリセル面積が小さい。なお、ドレイン電圧の低減によって、ボトム絶縁膜へのホットエレクトロンから受けるダメージを低減できる。

【0108】なお、第4実施形態に係るNOR型メモリセルアレイにおいて、各メモリセルを図13または図14の断面を有する3トランジスタ型とすることもできる。

【0109】第5実施形態

図18に、第5実施形態に係るメモリトランジスタの断面図を示す。このメモリトランジスタのゲート絶縁膜20では、ボトム絶縁膜21を厚く堆積し、第1実施形態における中間の窒化膜12を省略している。ボトム絶縁膜21の形成は、第1実施形態と同様にして行う。ボトム絶縁膜21の成膜後の初期膜厚をたとえば6nmとし、その表面を熱酸化してトップ絶縁膜13を形成する。このようにして形成したゲート絶縁膜20（膜厚仕様：ボトム絶縁膜/トップ絶縁膜=3.8/3.5nm）は、酸化シリコン膜換算値で5.4nmとなり、更に実効膜厚が薄くなっている。他の構成、形成方法は第1実施形態と同様である。また、書き込み、読み出しおよび消去の基本的な動作も第1実施形態と同じである。なお、ボトム絶縁膜21の堆積の前に、チャンネル形成領域のシリコン表面の界面準位を低減するなどの目的で、シリコン表面に薄いパフファ酸化膜を成膜してもよい。

【0110】本実施形態では、ボトム絶縁膜21を厚く堆積し、その上に直接、トップ絶縁膜13を形成することで、窒化膜を全てFNトンネル窒化膜としている。FNトンネル窒化膜は膜中のキャリアトラップ数が比較的少ないため、第1実施形態の場合より、さらに窒化膜（ボトム絶縁膜21）と酸化膜（トップ絶縁膜13）との界面付近の深いキャリアトラップが電荷蓄積に有効に利用できる。この結果、ゲート絶縁膜20の実効膜厚が低減され、さらなる低電圧化を図ることが可能となる。

【0111】第6実施形態

第6実施形態は、メモリトランジスタの電荷蓄積手段としてゲート絶縁膜中に埋め込まれ例えば10ナノメートル以下の粒径を有する多数の互いに絶縁されたSiナノ結晶を用いた不揮発性半導体記憶装置（以下、Siナノ結晶型という）に関する。

【0112】図19は、このSiナノ結晶型メモリトランジスタの素子構造を示す断面図である。本実施形態のSiナノ結晶型不揮発性メモリでは、そのゲート絶縁膜30が、ボトム絶縁膜31、その上の電荷蓄積手段としてのSiナノ結晶32、およびSiナノ結晶32を覆う酸化膜33とからなる。その他の構成、即ち半導体基板SUB、チャンネル形成領域、ウェルW、副ソース線SSL（ソース不純物領域）、副ビット線SBL（ドレイン不純物領域、また、ソース・ドレイン不純物領域）、ワ

ード線WLは、第1実施形態と同様である。

【0113】Siナノ結晶32は、そのサイズ（直径）が、好ましくは10nm以下、例えば4.0nm程度であり、個々のSiナノ結晶同士が酸化膜33で空間的に、例えば4nm程度の間隔で分離されている。本例におけるボトム絶縁膜31は、電荷蓄積手段（Siナノ結晶32）が基板側に近いこととの関係で、第1実施形態よりやや厚く、使用用途に応じて2.6nmから5.0nmまでの範囲内で適宜選択できる。ここでは、4.0nm程度の膜厚とした。

【0114】このような構成のメモリトランジスタの製造では、ボトム絶縁膜31の成膜後、例えばLP-CVD法でボトム絶縁膜31の上に、複数のSiナノ結晶32を形成する。また、Siナノ結晶32を埋め込むように、酸化膜33を、例えば7nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN₂Oの混合ガス、基板温度が例えば700℃とする。このときSiナノ結晶32は酸化膜33に埋め込まれ、酸化膜33表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後、ワード線となる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該Siナノ結晶型メモリトランジスタを完成させる。

【0115】このように形成されたSiナノ結晶32は、平面方向に離散化されたキャリアトラップとして機能する。そのトラップレベルは、周囲の酸化シリコンとのバンド不連続値で推定可能で、その推定値では約3.2eV程度とされる。この大きさの個々のSiナノ結晶32は、数個の注入電子を保持できる。なお、Siナノ結晶32を更に小さくして、これに単一電子を保持させてもよい。

【0116】このような構成のSiナノ結晶型不揮発性メモリについて、ランドキストのバックトンネリングモデルによりデータ保持特性を検討した。データ保持特性を向上させるためには、トラップレベルを深くして、電荷重心と半導体基板との距離を大きくすることが重要となる。そこで、ランドキストモデルを物理モデルに用いたシミュレーションにより、トラップレベル3.2eVの場合のデータ保持を検討した。この結果、トラップレベル3.2eVの深いキャリアトラップを用いることにより、電荷保持媒体からチャネル形成領域までの距離が4.0nmと比較的に近い場合でも良好なデータ保持を示すことが分かった。

【0117】第7実施形態

第7実施形態は、メモリトランジスタの電荷蓄積手段として絶縁膜中に埋め込まれ互いに分離した多数の微細分割型フローティングゲートを用いた不揮発性半導体記憶装置（以下、微細分割FG型という）に関する。

【0118】図20は、この微細分割FG型メモリトランジスタの素子構造を示す断面図である。本実施形態の

微細分割FG型不揮発性メモリでは、メモリトランジスタがSOI基板に形成され、そのゲート絶縁膜40が、ボトム絶縁膜41、その上の電荷蓄積手段としての微細分割型フローティングゲート42、および微細分割型フローティングゲート42を埋め込む酸化膜43とからなる。この微細分割フローティングゲート42は、第6実施形態のSiナノ結晶22とともに本発明でいう“小粒径導電体”の具体例に該当する。

【0119】SOI基板としては、酸素イオンをシリコン基板に高濃度にイオン注入し基板表面より深い箇所に埋込酸化膜を形成したSIMOX（Separation by Implanted Oxygen）基板や、一方のシリコン基板表面に酸化膜を形成し他の基板と張り合わせた張合せ基板などが用いられる。このような方法によって形成され図20に示したSOI基板は、半導体基板SUB、分離酸化膜44およびシリコン層45とから構成され、シリコン層45内に、副ソース線SSL（ソース不純物領域S）、副ビット線SBL（ドレイン不純物領域D）が設けられている。両不純物領域間がチャネル形成領域となる。なお、半導体基板SUBに代えて、ガラス基板、プラスチック基板、サファイア基板等を用いてもよい。

【0120】微細分割フローティングゲート42は、通常のFG型のフローティングゲートを、その高さが例えば5.0nm程度で、直径が例えば8nmまでの微細なポリSiドットに加工したものである。本例におけるボトム絶縁膜41は、第1実施形態よりやや厚いが、通常のFG型に比べると格段に薄く形成され、使用用途に応じて2.5nmから4.0nmまでの範囲内で適宜選択できる。ここでは、最も薄い2.5nmの膜厚とした。

【0121】このような構成のメモリトランジスタの製造では、SOI基板上にボトム絶縁膜41を成膜した後、例えばLP-CVD法で、ボトム絶縁膜41の上にポリシリコン膜（最終膜厚：5nm）を成膜する。このLP-CVDでは、原料ガスがDCSとアンモニアの混合ガス、基板温度が例えば650℃とする。つぎに、例えば電子ビーム露光法を用いて、ポリシリコン膜を直径が例えば8nmまでの微細なポリSiドットに加工する。このポリSiドットは、微細分割型フローティングゲート42（電荷蓄積手段）として機能する。その後、微細分割型フローティングゲート42を埋め込むように、酸化膜43を、例えば9nmほどLP-CVDにより成膜する。このLP-CVDでは、原料ガスがDCSとN₂Oの混合ガス、基板温度が例えば700℃とする。この時、微細分割型フローティングゲート42は酸化膜43に埋め込まれ、酸化膜43表面が平坦化される。平坦化が不十分な場合は、新たに平坦化プロセス（例えばCMP等）を行うとよい。その後、ワード線WLとなる導電膜を成膜し、ゲート積層膜を一括してパターンニングする工程を経て、当該微細分割FG型メモリトランジスタを完成させる。

【0122】このようにSOI基板を用い、フローティングゲートが微細に分割されることについては、素子を試作して特性を評価した結果、予想通りの良好な特性が得られることを確認した。

【0123】変形例

以上述べてきた第1～第7実施形態において、各実施形態で特記した以外に、以下のような種々の変形が可能である。

【0124】上記実施形態では、書き込み時のホットエレクトロンの注入方法として、バンド間トンネル電流に起因したホットエレクトロン注入法、ソースサイド注入法を含むチャンネルホットエレクトロン注入法のみ示した。本発明では、その他、チャンネル内で電子をバリスチックに走行させるバリスチックホットエレクトロン注入法、2次衝突電離ホットエレクトロン注入法、または、基板ホットエレクトロン注入法が採用できる。

【0125】また、とくに図示しないDINOR型など、他のNOR型セル、さらにはAND型セルに対しても本発明が適用できる。本発明は、スタンドアロン型の不揮発性メモリのほか、ロジック回路と同一基板上に集積化したエンベデッド型の不揮発性メモリに対しても適用可能である。

【0126】

【発明の効果】本発明に係る不揮発性半導体記憶装置およびその動作方法によれば、ボトム絶縁膜が、シリコンとのエネルギー障壁を低減する誘電膜により構成され、あるいは、当該誘電膜を含む多層膜により構成されていることから、ホットエレクトロン注入の際に電荷が飛び越えるべきエネルギー障壁が低減され、注入効率が向上する。したがって、書き込み速度が上がるほか、ドレイン電圧を小さくする余地が生まれ、結果として、パンチスルーが発生し難くなり、またゲート長の短縮が容易となる。また、ドレイン電圧を小さくすることで、ビット線チャージング時間を短くでき、その分、書き込みサイクルを短縮できる。一方、ボトム絶縁膜厚を薄くできる分だけ、ゲート絶縁膜の実効膜厚を薄くできることから、ゲート印加電圧の低電圧化も容易となる。ドレイン電圧を低減した場合、ボトム絶縁膜へのダメージが低減され、信頼性が向上する。さらに、電荷蓄積手段のソース側とドレイン側に分けて局部的に電荷蓄積させると、1メモリセル内に複数ビットのデータ記憶が可能となる。

【図面の簡単な説明】

【図1】第1、第2実施形態実施形態に係る不揮発性メモリ装置の仮想接地NOR型メモリセルアレイ構成を示す回路図である。

【図2】第1～第3実施形態に係る仮想接地NOR型メモリセルアレイの平面図である。

【図3】第1～第3実施形態に係るメモリトランジスタの断面図である。

【図4】第1実施形態に係るメモリトランジスタの効果説明に用いた、従来のMONOS型メモリトランジスタについて、パンチスルー特性のゲート長依存性を示すグラフである。

【図5】第1～第4実施形態に係るメモリトランジスタのゲート絶縁膜構成の第1変形例を示す断面図である。

【図6】第1～第4実施形態に係るメモリトランジスタのゲート絶縁膜構成の第1変形例を示す断面図である。

【図7】第1～第4実施形態に係るメモリトランジスタのゲート絶縁膜構成の変形例に関する、DCS-SiNのFTIRスペクトルを示すグラフである。

【図8】第1～第4実施形態に係るメモリトランジスタのゲート絶縁膜構成の変形例に関する、TCS-SiNのFTIRスペクトルを示すグラフである。

【図9】第1～第4実施形態に係るメモリトランジスタのゲート絶縁膜構成の変形例に関する、DCS-SiNとTCS-SiNのボンド密度を比較して示す表である。

【図10】第2実施形態に係るメモリトランジスタの断面図である。

【図11】第3実施形態に係る仮想接地NOR型メモリセルアレイの第1の構成例を示す等価回路図である。

【図12】第3実施形態に係る仮想接地NOR型メモリセルアレイの第2の構成例を示す等価回路図である。

【図13】第3実施形態に係るメモリトランジスタの第1の構造を示す断面図である。

【図14】第3実施形態に係るメモリトランジスタの第2の構造を示す断面図である。

【図15】第4実施形態に係るNOR型メモリセルアレイ構成を示す回路図である。

【図16】第4実施形態に係るNOR型メモリセルアレイの平面図である。

【図17】第4実施形態に係るNOR型メモリセルアレイについて、図16のB-B'線に沿った断面側から見た鳥瞰図である。

【図18】第5実施形態に係るMNOS型メモリトランジスタの断面図である。

【図19】第6実施形態に係るナノ結晶型メモリトランジスタの断面図である。

【図20】第7実施形態に係るナノ結晶型メモリトランジスタの断面図である。

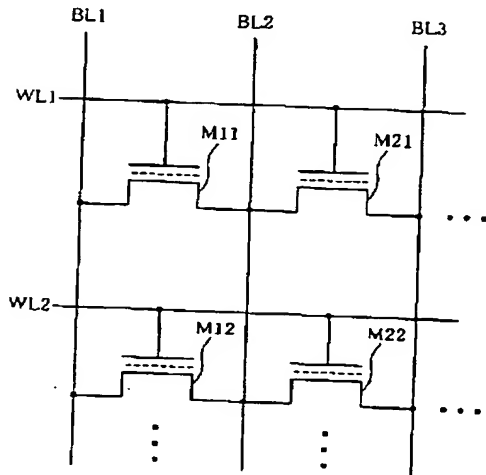
【符号の説明】

10, 10a, 10b, 20, 30, 40…ゲート絶縁膜、11, 11a, 11b, 21, 31, 41…ボトム絶縁膜、11c…、11d…、11e…、11f…、12…窒化膜、13…トップ絶縁膜、15…ゲート電極、16…スペーサ絶縁層、17…絶縁膜、32…Siナノ結晶、33, 43…酸化膜、42…ポリSiドット、44…分離酸化膜、45…シリコン層、SUB…半導体基板、W…ウエル、ISO…素子分離絶縁層、M11等…

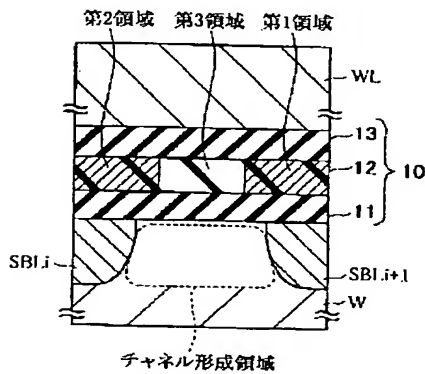
メモリトランジスタ、S11等…選択トランジスタ、BL1等…ビット線、MBL1等…主ビット線、SBL1等…副ビット線、SL1等…ソース線、MSL…主ソース線、SSL1等…副ソース線、WL1等…ワード線、

SG11等…選択ゲート線、CL1a, CL1b等…制御線、BC…ビットコンタクト、SC…ソースコンタクト。

【図1】



【図3】

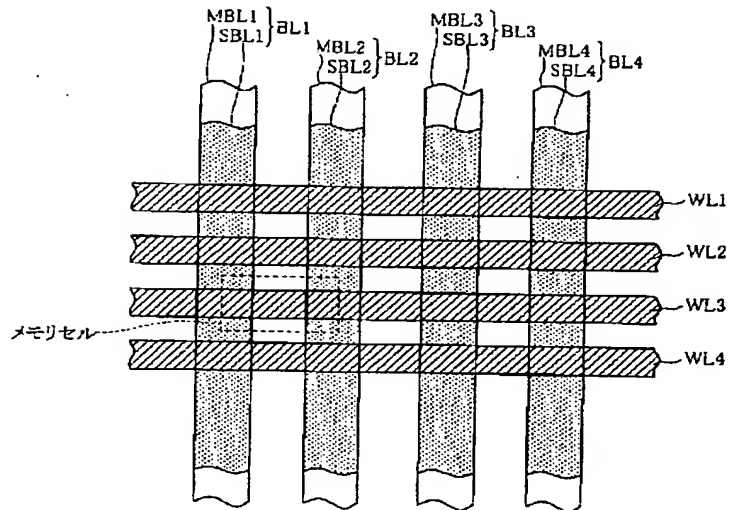


【図9】

FTIRスペクトルより計算したSi-H, N-Hバンド密度

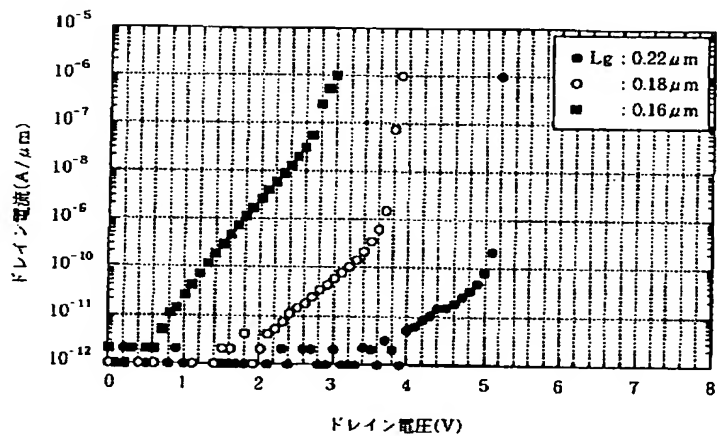
	Si-H	N-H
DCS	$1.6 \times 10^{21} \text{ atoms/mm}^3$	$9.0 \times 10^{21} \text{ atoms/mm}^3$
TCS	$1.1 \times 10^{20} \text{ atoms/mm}^3$	$1.3 \times 10^{22} \text{ atoms/mm}^3$

【図2】

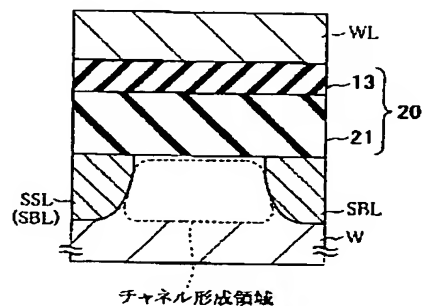


【図4】

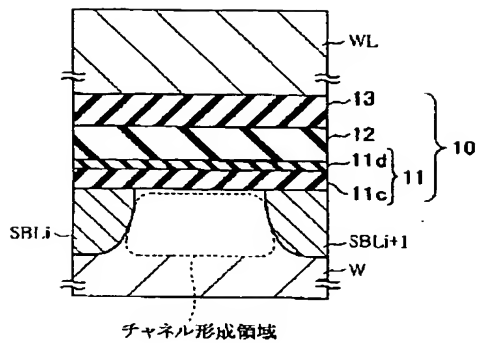
MONOSトランジスタのパunchスルー特性



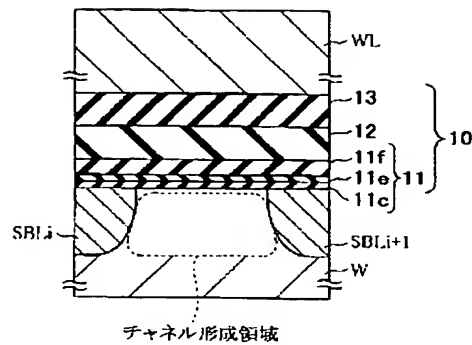
【図18】



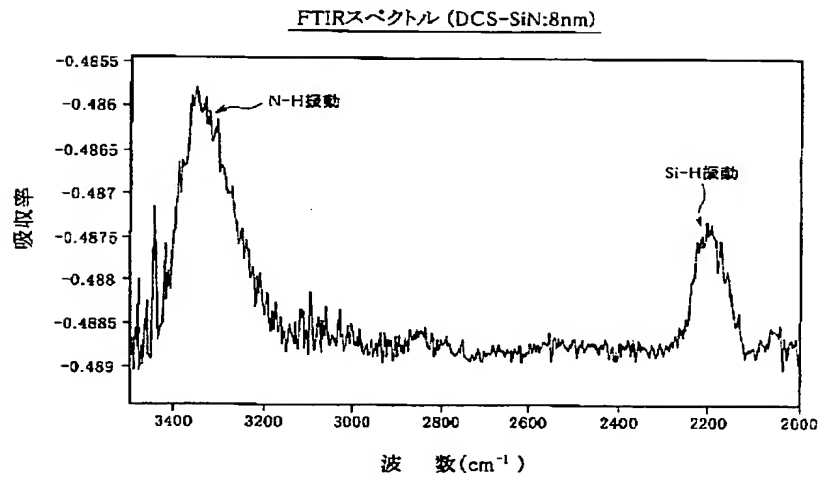
【図5】



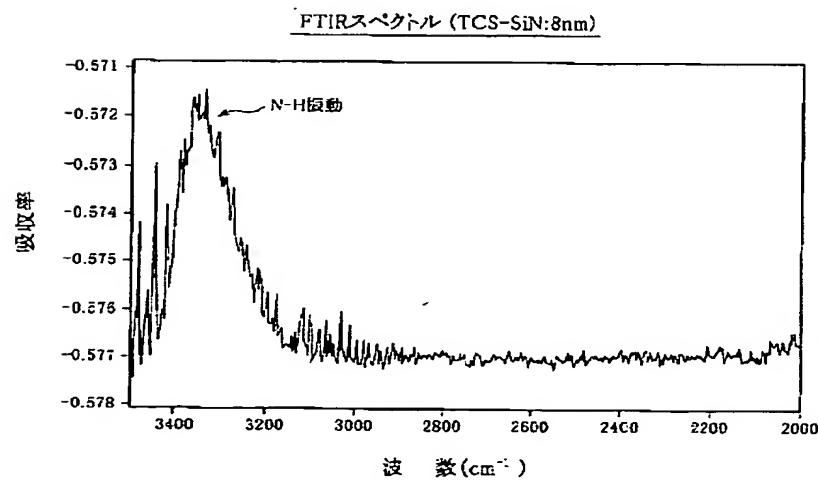
【図6】



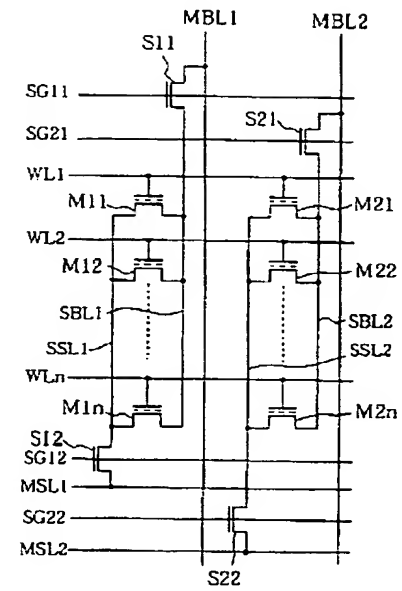
【図7】



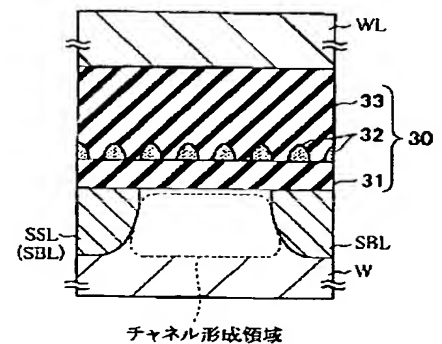
【図8】



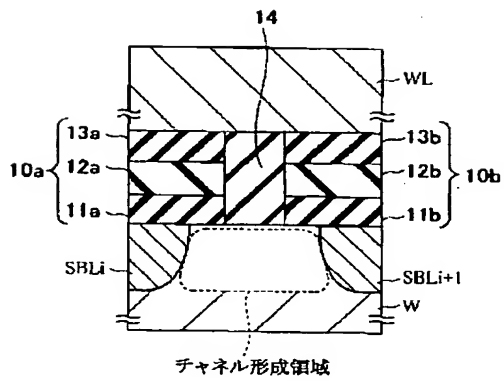
【図15】



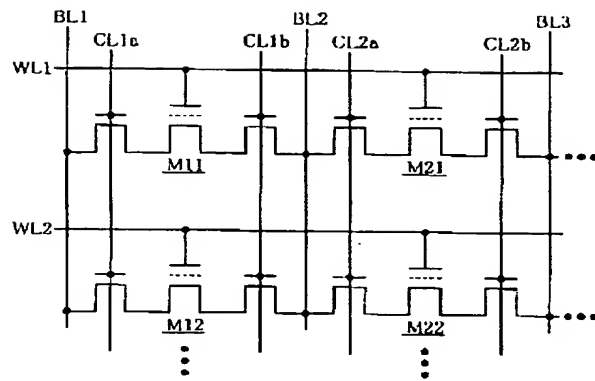
【図19】



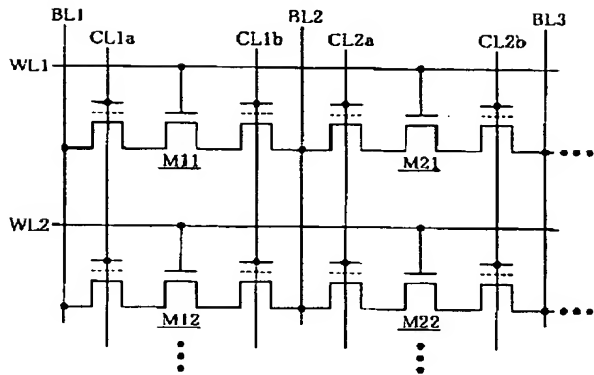
【図10】



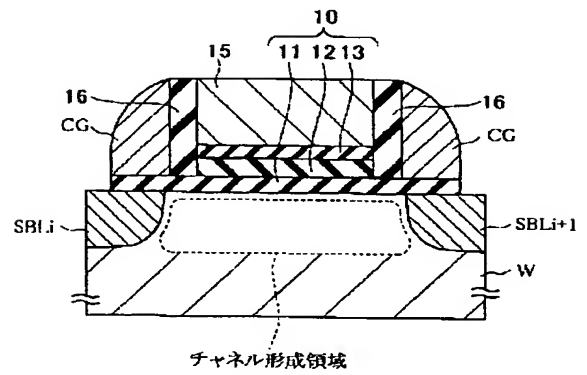
【図11】



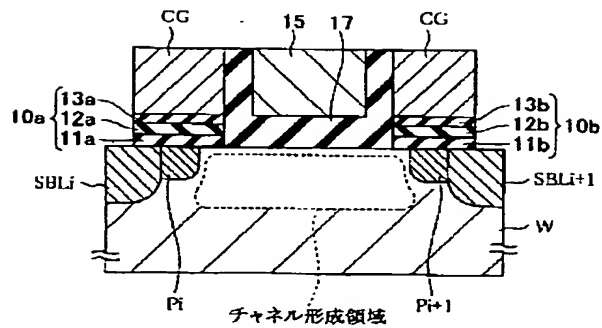
【図12】



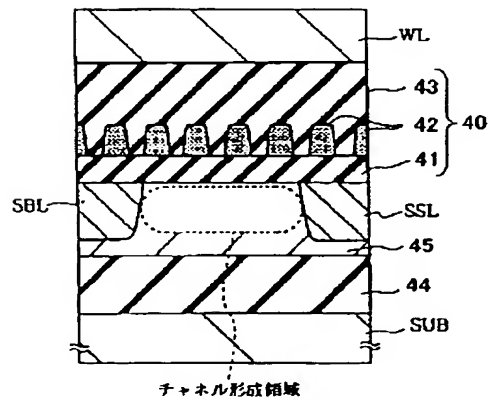
【図13】



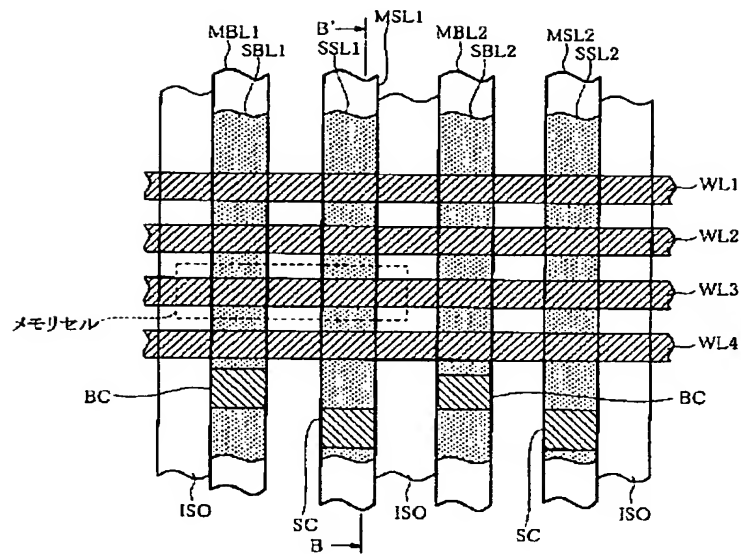
【図14】



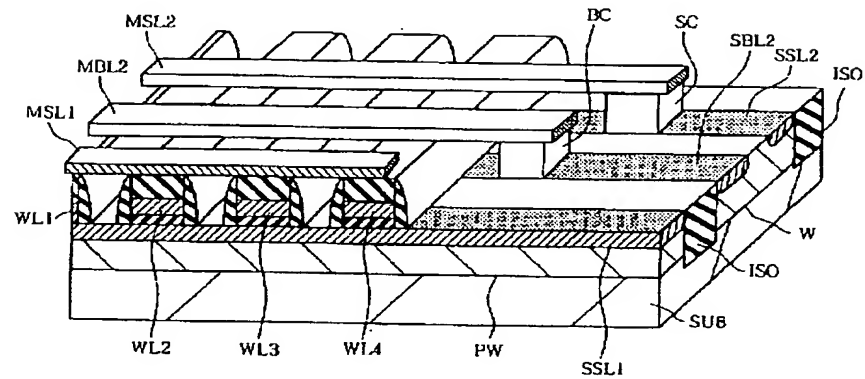
【図20】



【図 16】



【図 17】



フロントページの続き

(51) Int. Cl.⁷

H01L 29/792

識別記号

F I

テーマコード (参考)

F ターム(参考) 5F001 AA13 AA19 AB20 AC02 AC06
AD04 AD05 AD19 AD41 AD52
AD60 AD61 AD70 AE02 AE03
AE08 AF20 AG02 AG03 AG21
AG22 AG30
5F058 BD02 BD05 BD10 BD15 BF03
BF04 BF24 BF30 BF55 BF62
BH03 BH04 BJ01
5F083 EP07 EP09 EP18 EP22 EP28
EP32 EP33 EP34 EP35 EP36
EP63 EP68 EP77 ER02 ER05
ER06 ER11 ER15 ER16 ER19
ER30 GA05 HA02 JA03 JA04
JA05 JA06 JA14 JA19 JA35
JA39 JA53 KA06 KA08 KA12
KA13 MA19 MA20 PR12 PR15
PR16 PR21 PR33 PR39 ZA21